

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04550841 **Image available**

**DRIVING METHOD FOR LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING
CIRCUIT**

PUB. NO.: **06-222741** [JP 6222741 A]

PUBLISHED: August 12, 1994 (19940812)

INVENTOR(s): FURUHASHI TSUTOMU

IKEDA MAKIKO

KASAI SHIGEHICO

FUTAMI TOSHIO

SUZUKI TETSUYA

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

HITACHI GAZOU JOHO SYST KK [000000] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 05-253337 [JP 93253337]

FILED: October 08, 1993 (19931008)

INTL CLASS: [5] G09G-003/36; G02F-001/133; G02F-001/136

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R119 (CHEMISTRY --
Heat Resistant Resins); R124 (CHEMISTRY -- Epoxy Resins)

JOURNAL: Section: P, Section No. 1826, Vol. 18, No. 600, Pg. 101,
November 15, 1994 (19941115)

ABSTRACT

PURPOSE: To perform display of high quality by using a low voltage drain
driver.

CONSTITUTION: Each pixel of a liquid crystal panel 120 is alternately
connected to two signal driving circuits 114 and 115 in the direction of a
line. An alternating current circuit 126 supplies a low level reference
voltage and high level reference voltage, having reversed polarity to the

BEST AVAILABLE COPY

opposed voltage of a constant voltage to the two signal driving circuits 114 and 115. Level shifters 110 and 113 transform a voltage level of display data to a voltage level between the low level reference voltage and the high level reference voltage supplied to the corresponding signal driving circuits 114 and 115, and supply it to the corresponding signal driving circuits 114 and 115. The signal driving circuits 114 and 115 operate with the supplied voltage between the low level reference voltage and the high level reference voltage, and drives connected pixels according to supplied display data. Voltage distortion is reduced by making polarity of the reference voltage supplied to the two signal driving circuits 114 and 115 AC with a frame period.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-222741

(43) 公開日 平成6年(1994)8月12日

(51) Int. Cl. ^s	識別記号	F I
G09G 3/36		7319-5G
G02F 1/133	550	9226-2K
1/136	500	9018-2K

審査請求 未請求 請求項の数13 O L (全46頁)

(21) 出願番号 特願平5-253337

(22) 出願日 平成5年(1993)10月8日

(31) 優先権主張番号 特願平4-276976

(32) 優先日 平4(1992)10月15日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 古橋 勉

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

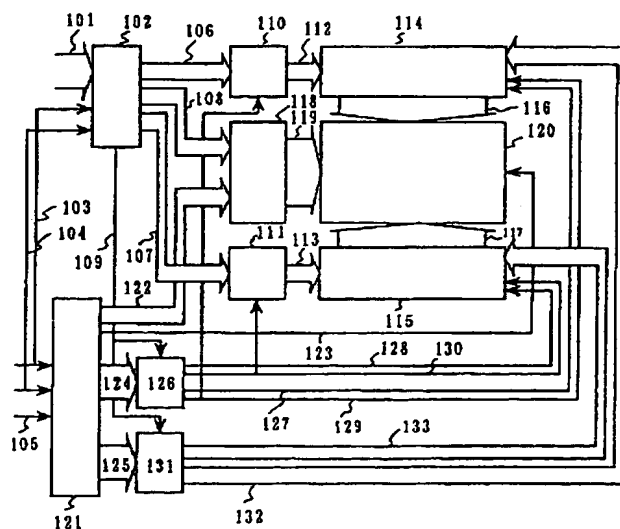
(54) 【発明の名称】 液晶表示装置の駆動方法および駆動回路

(57) 【要約】 (修正有)

【目的】 低電圧ドレインドライバを用いて、高品質な表示を行う。

【構成】 液晶パネル120の各画素を、2つの信号駆動回路114、115に、ライン方向について交互に接続する。交流回路126は、2つの信号駆動回路114、115に、定電圧の対向電圧に対し逆極性の、ロウレベル基準電圧とハイレベル基準電圧を供給する。レネルシフト110、113は表示データの電圧レベルと、対応する信号駆動回路114、115に供給されているロウレベル基準電圧とハイレベル基準電圧との間の電圧レベルに変換して対応する信号駆動回路114、115に供給する。信号駆動回路114、115は、供給されたロウレベル基準電圧とハイレベル基準電圧の間の電圧で動作し、供給された表示データに基づいて、接続している画素を駆動する。2つの信号駆動回路114、115に供給する基準電圧の極性を、フレーム周期で交流化し、電圧歪を軽減する。

本発明の液晶表示装置のシステム構成図 (図1)



【特許請求の範囲】

【請求項 1】 選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを備えた液晶表示装置の駆動方法であって、

前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給し、

前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに対向電圧として与え、

前記対向電圧に対する極性が周期的に反転する電圧群を生成し、

前記マトリクス上の少なくとも 1 列の各液晶セルに、当該液晶セルが属する列の液晶セルのうちの前記選択電圧が供給されているラインの液晶セルに表示する内容に応じた輝度を実現する、生成した電圧群の極性に応じた極性の電圧を、生成した電圧群を用いて生成し、印加電圧として供給することを特徴とする液晶表示装置の駆動方法。

【請求項 2】 選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを駆動する液晶表示装置の駆動回路であって、

前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給する走査手段と、

前記液晶パネルの全ての液晶セルについて共通した電圧を、各液晶セルに対向電圧として与える走査駆動手段と、

対向電圧に対して負極性の印加電圧の値のうちの、表示に用いる前記液晶セルの最高輝度と最低輝度とを実現する 2 つの印加電圧値を、その最大電圧と最低電圧との間の電位として含み、かつ、最高輝度もしくは最低輝度を実現する対向電圧に対して正極性の印加電圧のうちの、前記対向電圧に対する電圧差の絶対値の大きい方の印加電圧値を、その最大電圧と最低電圧との間の電位として含まない、負極性駆動用電圧群と、対向電圧に対して正極性の印加電圧の値のうちの、前記最高輝度と最低輝度とを実現する 2 つの印加電圧値を、その最大電圧と最低電圧との間の電位として含み、かつ、最高輝度もしくは最低輝度を実現する対向電圧に対して正極性の印加電圧のうちの、前記対向電圧に対する電圧差の絶対値の大きい方の印加電圧値を、その最大電圧と最低電圧との間の電位として含まない、正極性駆動用電圧群とを生成する手段と、

前記マトリクス上の各列に対応して設けられた、対応する列の各液晶セルに、当該液晶セルが属する列の液晶セルのうちの前記選択電圧が供給されているラインの液晶セルに表示する内容に応じた輝度を実現する電圧を、印加電圧として供給する複数の駆動手段と、

前記複数の駆動手段を分割した 2 つの駆動手段群に、前

記正極性駆動用電圧群と負極性駆動用電圧群とを、周期的に交互に供給する手段とを有し、

前記正極性駆動用電圧群を供給された駆動手段は、正極性駆動用電圧群を用いて、前記対向電圧に対して正極性の印加電圧を供給し、負極性駆動用電圧群を供給された駆動手段は、負極性駆動用電圧群を用いて、前記対向電圧に対して負極性の印加電圧を供給することを特徴とする液晶表示装置の駆動回路。

【請求項 3】 請求項 2 記載の液晶表示装置の駆動回路であって、

前記走査駆動手段は、前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに前記対向電圧として与えることを特徴とする液晶表示装置の駆動回路。

【請求項 4】 請求項 2 または 3 記載の液晶表示装置の駆動回路であって、

前記複数の駆動手段を分割した 2 つの駆動手段群のうちの一方の駆動手段群は、前記マトリクス上の偶数の列に対応する駆動手段の群であって、他方の駆動手段群は、前記マトリクス上の奇数の列に対応する駆動手段の群であることを特徴とする液晶表示装置の駆動回路。

【請求項 5】 選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを駆動する液晶表示装置の駆動回路であって、

前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給する走査手段と、

前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに対向電圧として与える走査駆動手段と、

対向電圧に対して負極性の負極性駆動電圧群と負極性動作基準電圧との組と、対向電圧に対して正極性の正極性駆動電圧群と正極性動作基準電圧との組とを生成する手段と、

前記複数の駆動手段を分割した 2 つの駆動手段群に、負極性駆動電圧群と負極性動作基準電圧との組と、正極性駆動電圧群と正極性動作基準電圧との組とを、組毎に周期的に交互に供給する手段と、

前記マトリクス上の各列に対応して設けられた、正極性動作基準電圧と負極性動作基準電圧のうちの供給された方を用いて、供給された表示データを処理し、当該表示データに応じた輝度を実現する電圧を、正極性駆動電圧群と負極性駆動電圧群のうちの供給された方より生成し、印加電圧として供給する複数の駆動手段と、

正極性動作基準電圧を与えられている駆動手段群に、液晶パネルに表示内容を規定する表示データ列のうちの、当該駆動手段群に対応する列に表示する表示内容を規定する表示データの電圧レベルを、正極性動作基準電圧を用いて処理可能な電圧レベルに変換して供給し、負極性

動作基準電圧を与えられている駆動手段群に、液晶パネルに表示内容を規定する表示データ列のうちの、当該駆動手段群に対応する列に表示する表示内容を規定する表示データの電圧レベルを、負極性動作基準電圧を用いて処理可能な電圧レベルに変換して供給するレベル変換回路とを有することを特徴とする液晶表示装置の駆動回路。

【請求項 6】請求項 5 記載の液晶表示装置の駆動回路であって、

前記複数の駆動手段を分割した 2 つの駆動手段群のうちの一方の駆動手段群は、前記マトリクス上の偶数の列に対応する駆動手段の群であって、他方の駆動手段群は、前記マトリクス上の奇数の列に対応する駆動手段の群であることを特徴とする液晶表示装置の駆動回路。

【請求項 7】請求項 5 記載の液晶表示装置の駆動回路であって、

前記駆動手段は、対応する列の表示内容を規定する表示データの上位ビットに応じて、当該ドライバに供給されている正極性駆動電圧群と負極性駆動電圧群のうちの一方より、上位電圧と下位電圧を選択する選択回路と、前記各表示データについて、まず、前記第 1 の選択回路が選択した下位電圧を印加電圧として一定期間、印加電圧として出力した後に、表示下位ビットに応じて分圧比を決定し、決定した分圧比で、供給された上位電圧と下位電圧の電圧間を分圧した電圧を印加電圧として出力する分圧回路とを含むことを特徴とする液晶表示装置の駆動回路。

【請求項 8】請求項 5 記載の液晶表示装置の駆動回路であって、

正極性駆動電圧群を供給された駆動手段と、負極性駆動電圧群を供給された駆動手段間で、表示データの取り込みタイミングを通知するための制御用信号を送受するために、前記制御用信号の電圧レベルを、受信側の駆動手段に供給されている負極性動作基準電圧もしくは正極性動作基準電圧のうちのいずれかを用いて処理可能な電圧レベルに変換する制御信号用レベル変換回路を有することを特徴とする液晶表示装置の駆動回路。

【請求項 9】請求項 5 記載の液晶表示装置の駆動回路であって、

前記駆動手段は、正極性動作基準電圧と負極性動作基準電圧のうち、当該駆動手段に供給されている方を用いて動作するデジタル部と、レベル変換部と、デジタル／アナログ変換部とを有し、

前記デジタル部は、表示データを順次記憶するシフトレジスタと、周期的に、シフトレジスタに記憶された表示データを、並列に取り込み記憶するラッチ群とを有し、レベル変換部は、ラッチに記憶された表示データの電圧レベルを、正極性駆動電圧群と負極性駆動電圧群のうち、当該駆動手段に供給されている方を用いて処理可能な電圧レベルに変換し、

前記デジタル／アナログ変換部は、正極性駆動電圧群と負極性駆動電圧群のうち、当該駆動手段に供給されている方を用いて、前記印加電圧を供給することを特徴とする液晶表示装置の駆動回路。

【請求項 10】選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを駆動する液晶表示装置の駆動回路であって、

前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給する走査手段と、

前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに対向電圧として与える走査駆動手段と、

対向電圧に対して負極性の負極性動作基準電圧とと、対向電圧に対して正極性の正極性動作基準電圧とを生成する手段と、

前記複数の駆動手段を分割した 2 つの駆動手段群に、負極性動作基準電圧と正極性動作基準電圧とを、周期的に交互に供給する手段と、

正極性動作基準電圧と負極性動作基準電圧のうちの供給されている方を用いて動作し、供給された表示信号を保持し出力する保持手段を含む複数の駆動手段と、

正極性動作基準電圧を与えられている駆動手段群に、前記表示信号のうちの、当該駆動手段群に対応する列に表示する表示内容を規定する表示信号の電圧レベルを、正極性動作基準電圧を用いて処理可能な電圧レベルに変換して供給し、負極性動作基準電圧を与えられている駆動手段群に、前記表示信号のうちの、当該駆動手段群に対応する列に表示する表示内容を規定する表示信号の電圧極性を反転し、電圧レベルを、負極性動作基準電圧を用いて処理可能な電圧レベルに変換して供給する変換回路とを有することを特徴とする液晶表示装置の駆動回路。

【請求項 11】選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルと、前記液晶パネルを駆動する請求項 2、3、3、5、6、7、8、9 または 10 記載の駆動回路を備えた液晶表示装置。

【請求項 12】請求項 11 記載の液晶表示装置であって、前記液晶 T F T (Thin Film Transister)を用いたアクティブマトリクス方式の液晶パネルであることを特徴とする液晶表示装置。

【請求項 13】請求項 11 または 12 記載の液晶表示装置と、情報を処理処理結果に応じて表示内容を決定し、決定した表示内容を規定する表示データもしくは表示信号を前記液晶表示装置に要求するデータ処理部とを有することを特徴とする情報処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、低耐電圧ドレインドライバを用いた液晶パネルの駆動技術に関し、特に、画質の向上化の技術に関するものである。

【0002】

【従来の技術】従来のTFT液晶パネルの駆動技術としては、フラットパネル・ディスプレイ1991、「TFTカラー液晶ディスプレイの多色化技術、4096色から26万色以上へ」（1990年11月26日、日経BP社出版、P173からP180）記載の高耐圧ドレインドライバを用いた技術が知られている。また、特開昭 57-49995号公報記載の「液晶駆動回路」のように、低耐圧ドレインドライバを用い、対向電極電圧を交流化しながら液晶パネルを駆動する技術が知られている。

【0003】ここで、ドレインドライバとは、液晶の輝度を決定する液晶のドレイン電極に対して電圧を印加する回路である。また、高耐圧ドレインドライバとは、最大輝度と最小輝度に対応する電圧を、正極性と負極性のそれぞれについて生成できる耐圧を有するドレインドライバである。低耐圧ドレインドライバとは、正極性または負極性の一方の極性についてのみ、液晶の最大輝度と最小輝度に対応する電圧が生成できる耐圧を有するドレインドライバである。

【0004】以下、これら二つの従来の技術について説明する。

【0005】まず、はじめに高耐圧ドレインドライバを用いた液晶表示装置について説明する。

【0006】図40に、高耐圧ドレインドライバを用いた従来の液晶表示装置の構成を示す。

【0007】図中、101はシステムバスであり、デジタル表示データ及び同期信号を転送する。システムバス101で転送する表示データと同期信号は、線順次走査方式に従い転送される。すなわち、CRT表示装置の表示データおよび同期寝具尾と同様に転送される。

【0008】次に、102は液晶コントローラであり、システムバス101で転送されるデジタル表示データおよび同期信号を、液晶表示装置を駆動するデジタル液晶表示データとタイミング信号に変換する。103、104、105は基準電圧であり、103はデジタルロウ駆動電圧VEE、104はデジタルハイ駆動電圧VCC、105は液晶駆動電圧の各電圧を有する直流電圧である。106、107は信号駆動回路制御バスであり、いずれも液晶コントローラ102によって、信号駆動回路用に変換されたデジタル液晶表示データとタイミング信号を転送する。108は走査駆動回路制御バスであり、走査駆動回路用のタイミング信号を転送する。109は液晶交流化信号であり、液晶に印加する電圧極性を交流化するタイミング信号となる。

【0009】2401、2402は信号駆動回路であり、各々信号駆動回路制御バス106、107で転送さ

れるデジタル液晶表示データをタイミング信号によって取り込み、液晶表示データに対応した液晶印加電圧に変換する。116、117は信号線であり、各々信号駆動回路2401、2402で生成した液晶印加電圧VDU、VDLを転送する。

【0010】118は走査駆動回路であり、119は走査線である。走査駆動回路118は、走査駆動回路制御バス108で転送されるタイミング信号により、走査線118を順次有効にする。

【0011】次に、120は液晶パネルである。また、2403は基準直流電圧生成回路であり、液晶表示装置を動作させるための基準となる各種直流電圧を生成する。122は走査駆動回路用直流電圧線であり、走査駆動回路118に供給する。

【0012】123は対向電極線であり、直流の対向電圧VCOMを転送する。2404は信号駆動回路2401、2402を駆動するためのハイレベル基準電圧VCCを転送する基準電圧線であり、同様に2405はロウレベル基準電圧VEEを転送する基準電圧線であり、さらに、2406は信号駆動回路2401、2402のうち液晶駆動回路部を駆動する液晶駆動電圧VLCDを転送する液晶駆動部基準電圧線である。基準電圧線2404、2405、2406で転送する基準電圧は何れも直流電圧である。

【0013】次に、125は信号駆動回路用直流液晶印加電圧である。131は交流回路である。132は上側の信号駆動回路2401で用いる交流化した液晶駆動電圧を転送する液晶駆動電圧線であり、133は下側の信号駆動回路2402で用いる交流化した液晶駆動電圧を転送する液晶駆動電圧線である。

【0014】次に、図41に、信号駆動回路2401の内部構成を示す。なお液晶パネル120の下側の信号駆動回路2402も同じ構成を有している。

【0015】図41において、2501-1、2501-2、…、はドレインドライバであり、信号駆動回路2401は複数のドレインドライバ2501で構成される。ドレインドライバ2501は、デジタル液晶表示データを入力して、液晶印加電圧に変換し出力する。

【0016】信号駆動回路用制御バス106のうち、2502はシフトクロックであり、2503はラッチクロックであり、2504は液晶表示データバスである。シフトクロック2502は液晶表示データバス2504で転送するデジタル液晶表示データに同期しており、ラッチクロック2503は1水平ライン分のデジタル液晶表示データが信号駆動回路2401、2402に転送された後、有効となる。

【0017】2505はシフトレジスタであり、2506はラッチ信号である。シフトレジスタ2505はシフトクロック2502を入力して、シフト動作を行なう。このシフト動作によってラッチ信号2506は順次有効

となる。

【0018】2507はラッチ回路であり、液晶表示データバス2504で転送されてくるデジタル液晶表示データをラッチ信号2503により、順次ラッチする。2508はデータバスであり、ラッチ回路2507でラッチしたデータを転送する。2509はラッチ回路であり、データバス2508で転送されるデータをラッチクロック2503でラッチする。2510はデータバスであり、ラッチ回路2509でラッチしたデータを転送する。

【0019】2511はレベルシフタであり、データバス2510で転送されるデジタルデータの電圧振幅レベルを変換する。2512は電圧振幅レベルを変換後のデジタルデータを転送するデータバスである。2513はデジタルアナログ変換回路であり、データバス2512で転送されるデジタルデータを、交流液晶駆動電圧線132で転送されてくる交流電圧を基に液晶印加電圧に変換する。116は信号線であり、デジタルアナログ変換回路2513で生成する液晶印加電圧を転送する。2514はイネーブル信号であり、ラッチ回路2507がデジタル液晶表示データを取り込み終了した時、つまり、シフトレジスタ2505のシフト動作が終了した時、次段のドレインドライバ2501のシフトレジスタ2505を動作させて、次段のドレインドライバ2501のラッチ回路2507がデジタル液晶表示データを取り込む動作を開始する為の制御信号である。

【0020】ドレインドライバ2501において、シフトレジスタ2505、ラッチ回路2507、ラッチ回路2509のデジタル回路部は基準電圧線2404で転送するハイレベル基準電圧と基準電圧線2405で転送するロウレベル基準電圧で駆動する。レベルシフタ2511、デジタルアナログ変換回路2513のアナログ回路部は基準電圧線2406で転送する液晶駆動電圧で駆動する。

【0021】次に、図5に液晶パネル120の等価回路を示す。

【0022】図中、DU (m)、DU (m+1)、DL (m)、DL (m+1)は何れも信号線116、117を構成する画素部に対応した信号線である。G (n-1)、G (n)、G (n+1)は何れも走査線119を構成する各画素部に対応した走査線である。501は画素部である。画素部501のうち、502はThin Film Transistor (以下、TFTと略す。)であり、503は液晶であり、504は付加容量である。

【0023】TFT502のドレイン電極は信号線116と接続しており、ゲート電極は走査線119と接続している。垂直方向に並んだ各画素部501内のTFT502のドレイン電極は信号線 (たとえばDU (m)) を共用する。また、水平方向に並んだ各画素部501内の

TFT502のゲート電極は走査線 (たとえばG (n)) を共用する。

【0024】一方、TFT502のソース電極は、液晶503、付加容量504の一方の電極に接続している。液晶503のもう一方の電極は対向電極線123と接続しており、全ての画素が共通の対向電極線123を共用している。付加容量504のもう一方の電極は前段の走査線に接続しており、たとえば走査線G (n) で制御するTFT502に接続している付加容量504の場合、もう一方の電極は走査線G (n-1) に接続している。

【0025】この様に、液晶パネルは、水平方向、垂直方向に画素部501を複数有するマトリクス構造を有している。たとえば、水平解像度640ピクセル、垂直解像度480ラインの画面を実現する場合、水平方向に1920画素を配し、隣接する3つの画素にそれぞれRed、Green、Blueのカラーフィルタを付加して、1ピクセルを構成することで、水平解像度640ピクセルが実現される。また、垂直方向では、水平方向で述べた画素構成を480ライン分構成することで、垂直解像度480ラインが実現される。

【0026】以下、このような液晶表示回路の動作を、図42、43を用いて説明する。

【0027】図42は、駆動電圧波形を示したものである。なお、この電圧波形は、ライン毎に液晶に印加する電圧の極性を切り換えるライン交流駆動を示している。

【0028】図42において、VG (n) は図5記載の走査線G (n) の電圧波形であり、VG (n+1) は走査線G (n+1) の電圧波形である。VGHは走査線119の選択電圧レベルであり、VGLは非選択電圧レベルである。VCOMは対向電極123の電圧値である。基準電圧線2406の電圧レベルはVLC Dであり、基準電圧2405の電圧レベルはVEEである。VDU、VDLは、信号線116、117に出力される液晶印加電圧の駆動波形である。なお、この電圧波形は、ライン毎に液晶に印加する電圧の極性を切り換えるライン交流駆動を示している。また、図43は、液晶の電圧と輝度の関係を示した図である。

【0029】図中、縦軸は輝度を表し、横軸は液晶印加電圧を表している。901は正電圧時の輝度-電圧特性であり、902は負電圧時の電圧-輝度特性である。図からも分かるように、液晶は対向電極電圧VCOMに対して正極性、負極性何れの電圧が印加されても、その絶対値が同等ならば同様の輝度表示を行う特性を有する。また、この図では、液晶に印加する電圧値が小さい場合、つまり、印加電圧が対向電極123の電圧値に近い電圧 (例えば、電圧+VDW、電圧-VDW) の場合、輝度が高く、正電圧、負電圧何れも印加電圧が増す毎に輝度が低くなる特性 (電圧+VDB、電圧-VDB) を有している。なお、電圧VEEはドレインドライバ2501のロウレベル基準電圧であり、電圧VLC Dは液晶

10

20

30

40

50

駆動部基準電圧である。

【0030】さて、図40において、システムバス101で転送されるデジタル液晶表示データは液晶コントローラ102、信号駆動回路2401、2402を介して液晶印加電圧に変換され、液晶パネル120に出力されて表示を行う。液晶コントローラ102では、システムバス101で入力するデジタル表示データを信号駆動回路2401、2402の入力インタフェースと液晶パネル120の画素構成に沿う様に同期信号で変換し、信号駆動回路用制御バス106、107を介して出力する。信号駆動回路用制御バス106、107を介したデジタル液晶表示データとタイミング信号は、信号駆動回路114、115に入力されて液晶印加電圧に変換される。

【0031】すなわち、図41に示す信号駆動回路114、115のドレインドライバ2501-1内のシフトレジスタ2505-1は、シフトクロック2502によって、動作を開始し、順次ラッチ信号2506-1を有効にする。有効になったラッチ信号2506-1に対応したラッチ回路2507-1内の記憶回路は、表示データバス2504で転送されてくるデジタル液晶表示データを順次ラッチする。ラッチされたデータはデータバス2508-1に出力される。ラッチ回路2507-1内の記憶回路によるデータの取り込み動作が終了すると、つまり、シフトレジスタ2505-1のシフト動作が終了するとシフトレジスタ2505-1はイネーブル信号2514-1を有効にする。イネーブル信号2514-1が有効になると、次段のドレインドライバ2501-2内のシフトレジスタ2505-2が動作を開始する。そして、ラッチ回路2507-2は、ドレインドライバ2501-1内のラッチ回路2507-1でラッチした後のデータを順次ラッチする。更に、ラッチ回路2507-2内の記憶回路によるデータの取り込み動作が終了するとイネーブル信号2514-2を有効にし、次段のドレインドライバ2501がドレインドライバ2501-1、2501-2と同様の動作をする。信号駆動回路2401、2402内の各ドレインドライバ2501が、このような動作を行うことで1水平ライン分の液晶表示データを取り込むことが可能となる。

【0032】各ドレインドライバ2501内のラッチ回路2507に1水平ライン分の液晶表示データが取り込まれた後に、ラッチクロック2503は有効となり、各ドレインドライバ2501のデータバス2508で転送されるラッチ回路2508で記憶されたデータが1水平ライン分同時にラッチ回路2509にラッチされる。

【0033】データがラッチ回路2509に記憶された後に、各ドレインドライバ2501のシフトレジスタ2505、ラッチ回路2507は、次ラインのデータを取り込むために前記の動作と同様の動作を開始する。

【0034】ここで、ドレインドライバ2501の、シフトレジスタ2505、ラッチ回路2507、ラッチ回

路2509のデジタル回路部と、デジタルアナログ変換回路2513の駆動電圧は異なる。デジタル回路部は基準電圧線2405で転送されるロウレベル基準電圧と基準電圧線2404で転送されるハイレベル基準電圧で動作する。しかし、レベルシフト2511と、デジタルアナログ変換回路2513は基準電圧線2406で転送する液晶駆動電圧VLC Dで動作させる必要がある。

【0035】ところで、液晶は直流電圧が印加され続けると劣化する。よって、液晶に印加する電圧は、ある周期をもって交流化しなければならない。また、1フレームの表示中において、正極性の印加電圧による輝度表示と、負極性の印加電圧による輝度表示が均等になるようにすることでフリッカによる画質の劣化を防止することができる。一方、図43に示すように、液晶は、対向電極電圧VCOMに対して、正極性、負極性の電圧が印加されても、その絶対値が同等ならば同様の輝度表示を行う特性を有する。

【0036】そこで、ライン毎、フレーム毎に、印加電圧の対向電圧VCOMに対する極性を交流化する。しかし、このためには、したがって、デジタルアナログ変換回路2513は、液晶に、周期的に、負極性と正極性の電圧を印加できなければならない。すなわち電圧対向電圧に対して負極性の電圧を印加する場合において、高輝度表示を行なう場合は電圧-VDWを印加し、低輝度表示を行なう場合は電圧-VDBを印加し、また、対向電圧に対して正極性の電圧を印加する場合において、高輝度表示を行なう場合は電圧+VDWを印加し、低輝度表示を行なう場合は電圧+VDBを印加できなければならない。そこで、デジタルアナログ変換回路2513は、

(VLC D-V E E) > (+VDB-(-VDB)) を満足する液晶駆動電圧VLC Dを基準電圧線2406で与え動作させている。

【0037】また、異なる駆動電圧で動作するデジタルアナログ変換回路2513とラッチ回路2509のインタフェースをとるために、液晶駆動電圧VLC Dで動作するレベルシフト2511は、ラッチ回路2509とデジタルアナログ変換回路2513の間の電圧変換を行う。ラッチ回路2509で記憶したデータはデータバス2510を介してレベルシフト2511で電圧変換が成され、変換後のデータがデータバス2512を介して、デジタルアナログ変換回路2513に転送される。デジタルアナログ変換回路2513では、液晶駆動電圧線2406で転送される液晶駆動電圧VLC Dを用いて、データに対応した液晶印加電圧を生成し、信号線116に出力する。

【0038】さて、信号駆動回路2401、2402、交流回路131によって、システムバス101で転送される表示データが液晶印加電圧に変換されて、図42記載の液晶印加電圧VDU、VDLとなって、液晶パネル120に出力される。すなわち、信号線116には、図

10

20

30

40

50

4 2 の駆動波形図に記載した電圧 VDU が信号駆動回路 2 4 0 1 より供給される。信号線 1 1 7 には、図 4 2 の駆動波形図に記載した電圧 VDL が信号駆動回路 2 4 0 2 より供給される。

【0039】一方、走査駆動回路 1 1 8 は、シフト動作を行い、走査駆動回路用制御バス 1 0 8 を介して順次各水平ラインに選択電圧 VGH を印加する。選択電圧 VGH を印加された水平ラインに接続された走査線 1 1 9 が有効となる。たとえば、走査線 G (n) は選択電圧 VGH が 1 ライン期間有効となり、その後、非選択電圧 VGL が 1 フレーム期間続く。走査線 G (n) の選択電圧 VGH が有効のときに、図 5 記載の走査線 G (n) に接続してある画素部 5 0 1 の TFT 5 0 2 がオン状態となり、信号線 1 1 6、1 1 7 に現われた電圧が TFT 5 0 2 を介して、液晶 5 0 3、負荷容量 5 0 4 に蓄積され、これに応じた輝度の表示が行われる。

【0040】次に、低耐圧ドレインドライバを用いた従来の液晶表示装置について説明する。

【0041】まず、図 4 4 にこの液晶表示装置の構成を示す。

【0042】図中、2 8 0 1、2 8 0 2 は信号駆動回路であり、各々信号駆動回路制御バス 1 0 6、1 0 7 で転送されるデジタル液晶表示データをタイミング信号によって取り込み、液晶表示データに対応した液晶印加電圧に変換する。1 1 6、1 1 7 は信号線であり、各々信号駆動回路 1 1 4、1 1 5 で生成した液晶印加電圧を転送する。2 8 0 3 は基準直流電圧生成回路であり、液晶表示装置を動作させるための基準となる各種直流電圧を生成する。2 8 0 4 は直流電圧線である。2 8 0 5 は信号駆動回路用直流電圧線である。2 8 0 6 は交流回路である。2 8 0 7 は走査回路 1 1 8 の出力する交流化した非選択電圧を転送する基準電圧線である。1 2 3 は対向電極線であり、交流化した対向電圧を転送する。2 8 0 8 は交流回路であり、信号駆動回路 2 8 0 1 に供給する液晶駆動電圧を交流化する回路であり、2 8 0 9 は上側の信号駆動回路 2 8 0 2 で用いる交流化した液晶印加電圧を転送する液晶印加電圧線であり、2 8 1 0 は下側の信号駆動回路 1 1 5 で用いる交流化した液晶印加電圧を転送する液晶印加電圧線である。

【0043】次に、図 4 5 に、信号駆動回路 2 8 0 1 の構成を示す。

【0044】図中、2 9 0 1 - 1、2 9 0 1 - 2、…、はドレインドライバであり、信号駆動回路 2 8 0 1 は複数のドレインドライバ 2 9 0 1 で構成される。ドレインドライバ 2 9 0 1 はデジタル液晶表示データを入力して、液晶印加電圧に変換し、液晶パネル 1 2 0 に出力する。信号駆動回路用制御バス 1 0 6 のうち、2 9 0 4 は液晶表示データバスであり、更に、2 9 0 2 はシフトクロックであり、2 9 0 3 はラッチクロックである。シフトクロック 2 9 0 2 は液晶表示データバス 2 9 0 4 で転

送するデジタル液晶表示データに同期しており、ラッチクロック 2 9 0 3 は 1 水平ライン分のデジタル液晶表示データが信号駆動回路 2 8 0 1、2 8 0 2 に転送された後、有効となる。2 9 0 5 はデジタルアナログ変換回路であり、データバス 2 5 1 0 で転送されるデジタルデータを、液晶駆動電圧線 2 8 0 9 で転送されてくる液晶駆動電圧を基に液晶印加電圧に変換する。1 1 6 は信号線であり、デジタルアナログ変換回路 4 0 9 で生成する液晶印加電圧を転送する。ドレインドライバ 2 9 0 1 において、前記高耐圧ドレインドライバ図 4 1 と異なる点は、シフトレジスタ 4 0 3、ラッチ回路 4 0 5、ラッチ回路 4 0 7 のデジタル回路部及びデジタルアナログ変換回路 2 9 0 5 の何れも基準電圧線 2 4 0 4 で転送するハイレベル基準電圧と基準電圧線 2 4 0 5 で転送するロウレベル基準電圧で駆動することである。

【0045】以下、この液晶表示装置の動作について説明する。

【0046】まず、図 4 6 に、液晶パネル 1 2 0 に供給される駆動電圧の波形を示す。

【0047】図中、VG (n) は図 5 記載の走査線 G (n) の電圧波形であり、VG (n + 1) は図 5 記載の走査線 G (n + 1) の電圧波形である。VGH は走査線 1 1 9 の選択電圧レベルであり、VGLH、VGLL は非選択電圧レベルである。VCOMH は対向電極 1 2 3 のハイレベル対向電圧値であり、VCOML は対向電極 1 2 3 のロウレベル対向電圧値である。VDU、VDL は信号駆動回路 1 1 4、1 1 5 の出力する液晶印加電圧である。なお、本電圧波形は、ライン毎に液晶に印加する電圧の極性を切り換えるライン交流駆動を示している。

【0048】次に、図 4 7 に液晶の電圧と輝度の関係を示す。

【0049】図中、横軸は輝度を表し、縦軸は液晶印加電圧を表す。9 0 1 は正電圧時の輝度－電圧特性であり、9 0 2 は負電圧時の輝度－電圧特性である。

【0050】図示するように、この液晶は、液晶に電圧を印加しない場合、つまり印加電圧が 0 V の場合、最も輝度が高く、正電圧、負電圧何れも印加電圧が増す毎に輝度が低くなる特性を有する。液晶はその印加電圧の極性に係らず、対向電極 1 2 3 の電圧に対する絶対電圧値が同じならば、表示する輝度も同じであるから、対向電圧を VCOMH、VCOML の 2 通り設けると、図示するように、それぞれに対して 2 つの電圧－輝度特性が得られる。

【0051】さて、図 4 4 において、システムバス 1 0 1 で転送されるデジタル表示データは液晶コントローラ 1 0 2、信号駆動回路 2 8 0 1、2 8 0 2 を介して液晶印加電圧に変換され、液晶パネル 1 2 0 に出力されて表示を行う。液晶コントローラ 1 0 2 では、システムバス 1 0 1 で入力するデジタル表示データを信号駆動回路 2

801、2802の入力インタフェースと液晶パネル120の画素構成に沿う様に同期信号で変換し、信号駆動回路用制御バス106、107を介して出力する。

【0052】図45のドレインドライバ2901の動作は、高耐電圧のドレインドライバ(図45、2501)と同等であるが、異なる点は、デジタルアナログ変換回路2908がシフトレジスタ2505、ラッチ回路2507、ラッチ回路2509の各デジタル回路部と同電圧の低電圧で動作することである。ただし、低電圧で必要な表示輝度を得るため、液晶に電圧を印加する駆動方式を工夫している。

【0053】すなわち、図47の電圧-輝度特性図に示す様に、対向電圧をVCOML、VCOMHの2電圧設ける。そして、液晶に印加する電圧が正極性電圧の場合、その電圧-輝度特性曲線901を使用することにする。すなわち、対向電圧VCOMLを使用し、液晶に印加する電圧は対向電圧VCOMLより高い電圧を使用する。たとえば、高輝度表示を行なう場合、電圧VDWHを液晶に印加するようにし、低輝度表示を行なう場合、電圧VDBHを液晶に印加するようにする。一方、液晶に印加する電圧が負極性電圧の場合、その電圧-輝度特性曲線902を使用することにする。すなわち、対向電圧VCOMHを使用し、液晶に印加する電圧は対向電圧VCOMHより低い電圧を使用する。たとえば、高輝度表示を行なう場合、電圧VDWLを液晶に印加するようにし、低輝度表示を行なう場合、電圧VDBLを液晶に印加するようにする。

【0054】ここで、これらの液晶印加電圧VDWH、VDBH、VDWL、VDBLは図45記載のドレインドライバ2901内デジタルアナログ変換回路2908に供給されている基準電圧VCC-VEEの電圧範囲内で発生できる。

【0055】また、フリッカの発生を防止するために、図46に示すように対向電極線123の対向電圧VCOMを液晶交流化信号109に同期してライン毎に交流化する。したがい、信号駆動回路2801、2802で生成する液晶印加電圧はVDの様になり、対向電圧VCOMに対して、その電位差が小さい場合、輝度が高くなり、その電位差が大きい場合輝度が低くなる。

【0056】また、更に、偶数フレームでは、奇数フレームと液晶に印加する電圧の極性を交流化すれば、液晶の劣化を防止することが可能となる。

【0057】しかし、図5において、各画素部501を構成する液晶503の容量をC1c、付加容量504の容量をCaddとすると、対向電圧VCOMLで正極性の電圧Vc1が液晶503で保持状態にある場合、対向電圧がVCOMHに交流化すると、液晶503の保持電圧には、 $Cadd / (C1c + Cadd) \times (VCOMH - VCOML)$ の電圧変動が発生することになる。

【0058】これは、付加容量Caddの一方の電極が

前段の走査線119で構成されており、対向電圧VCOMが変動しているにも係らず、その電圧が一定であるからである。これは、液晶503は保持期間中に対向電圧VCOMの交流化によって液晶印加電圧が変動し、ライン毎に表示輝度が変化することを意味する。

【0059】よって、保持期間中の液晶印加電圧の電圧変動をなくすために、対向電圧VCOMの交流電圧値だけ、前段の走査線119も交流化する必要がある。

【0060】そこで、対向電圧がVCOMLのとき、走査線119の非選択電圧レベルはVGLLとし、対向電圧がVCOMHのとき、走査線119の非選択電圧レベルはVGLHとする。なお $(VGLH - VGLL) = (VCOMH - VCOML)$ とすることで、液晶に印加した電圧が変動することがない。

【0061】ここで、非選択電圧VGLの交流化は、図44の交流回路2806で行なっている。

【0062】このような動作によって、図5の画素部501に印加される電圧の極性は、図48に示すようになる。

【0063】すなわち、対向電極123は全ての画素部501内の液晶503に対して共通であることから、対向電圧がVCOMHの場合、液晶に印加できる電圧は全て負極性の電圧であり、対向電圧がVCOMLの場合、液晶に印加できる電圧は全て正極性である。よって、その印加電圧の極性は1水平ラインでは同一の極性となり、ライン毎に、その極性が反転することになる。そして、正極性の電圧が印加されている画素部501では、液晶503を介して、対向電極線123に電流が流出し、付加容量504を介して、前段の走査線119に電流が流出する。負極性の電圧が印加されている画素部501では、液晶503を介して、対向電極線123から電流が流入し、付加容量504を介して、前段の走査線119から電流が流入する。

【0064】

【発明が解決しようとする課題】さて、前記高耐電圧のドレインドライバを用いた場合、信号駆動回路2401、2402が、大型で高価なものとなってしまう。信号駆動回路2401、2402をLSIで製造する場合に、高耐圧プロセスを使用する必要があるからである。

【0065】すなわち、高耐圧プロセスとで使用する素子の最小寸法は、デジタル回路等で用いている低耐圧プロセスの最小寸法に対して3倍から5倍程度大きい。出力電圧を除く、機能、特性が同一の回路を構成した場合、その回路面積は素子の最小寸法の2乗程度となることから、高耐圧プロセスで構成した回路は、低耐圧プロセスで構成した回路に対して、約10倍から20倍の大きさとなってしまう。また、LSIの価格はそのチップサイズの大きさに依存することから、高耐圧プロセスで構成するドレインドライバ2501は、低耐圧プロセスで構成する場合に比べて高価になるのである。

【0066】さらに、このことより、液晶表示装置の表示色の増加等の高性能化が困難である。表示色の増加に伴いドレインドライバ2501の回路規模が大きくなるからである。

【0067】一方、低耐電圧のドレインドライバによれば、低耐圧プロセスで製造することができるため、このような問題は生じない、しかし、先に説明した対向電極123で転送する対向電圧を交流化する技術では、液晶パネル120の各画素部501に印加する電圧は、図48に示すように、ライン毎に反転した極性となる。このため、前段走査線119及び対向電極線123に入出力する電流方向が各走査線109毎に一方向になる。

【0068】たとえば、走査線G(n-1)において、画素部501-U(m)-(n)、501-L(m)-(n)、501-U(m+1)-(n)に印加される電圧が正極性であるから、各画素部501の付加容量504を介する電流は集中して、走査線G(n-1)に流れ出す。また、走査線G(n)において、画素部501-U(m)-(n+1)、501-L(m)-(n+1)、501-U(m+1)-(n+1)に印加される電圧が負極性であるから、各画素部501の付加容量504を介する電流は集中して、走査線G(n)から流れ込む。

【0069】ここで、走査線109は配線抵抗を有することから、流出入電流と配線抵抗により、走査線109に電圧が発生する。特に、ワークステーション等の表示装置のように画素数の多い高精細な液晶パネルでは、このライン間の電流も大きくなるので、その電圧値は大きくなる。そして、この電圧変動により、付加容量504の印加電圧値が変動する。さらに、対向電極線123にも電流の集中する影響から電圧変動が発生し、この電圧変動により液晶503の印加電圧値も変動する。

【0070】そして、液晶503および付加容量504に電圧変動が発生すると表示データに対する正規の輝度表示が得られなくなり、画質が劣化する。

【0071】そこで、本発明は、低耐電圧のドレインドライバ用いた液晶表示装置であって、より画質の優れた液晶表示装置を提供することを目的とする。

【0072】

【課題を解決するための手段】前記目的達成のために、本発明は、選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを備えた液晶表示装置の駆動方法であって、前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給し、前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに対向電圧として与え、前記対向電圧に対する極性が周期的に反転する電圧群を生成し、前記マトリクス上の少なくとも1列の各液晶セルに、当該液晶セルが属する列の液晶セルのう

ちの前記選択電圧が供給されているラインの液晶セルに表示する内容に応じた輝度を実現する、生成した電圧群の極性に応じた極性の電圧を、生成した電圧群を用いて生成し、印加電圧として供給することを特徴とする液晶表示装置の駆動方法を提供する。

【0073】また、本発明は、前記目的達成のために、選択電圧を供給された場合に、対向電圧と印加電圧との電圧差の絶対値に応じた輝度で表示を行う液晶セルをマトリクス状に配置した液晶パネルを駆動する液晶表示装置の駆動回路であって、前記マトリクス上の各ライン毎に、順次、当該ラインに属する液晶セルに共通の選択電圧を供給する走査手段と、前記液晶パネルの全ての液晶セルについて共通した電圧を、各液晶セルに対向電圧として与える走査駆動手段と、対向電圧に対して負極性の印加電圧の値のうちの、表示に用いる前記液晶セルの最高輝度と最低輝度とを実現する2つの印加電圧値を、その最大電圧と最低電圧との間の電位として含み、かつ、最高輝度もしくは最低輝度を実現する対向電圧に対して正極性の印加電圧のうちの、前記対向電圧に対する電圧差の絶対値の大きい方の印加電圧値を、その最大電圧と最低電圧との間の電位として含まない、負極性駆動用電圧群と、対向電圧に対して正極性の印加電圧の値のうち、前記最高輝度と最低輝度とを実現する2つの印加電圧値を、その最大電圧と最低電圧との間の電位として含み、かつ、最高輝度もしくは最低輝度を実現する対向電圧に対して正極性の印加電圧のうちの、前記対向電圧に対する電圧差の絶対値の大きい方の印加電圧値を、その最大電圧と最低電圧との間の電位として含まない、正極性駆動用電圧群とを生成する手段と、前記マトリクス上の各列に対応して設けられた、対応する列の各液晶セルに、当該液晶セルが属する列の液晶セルのうちの前記選択電圧が供給されているラインの液晶セルに表示する内容に応じた輝度を実現する電圧を、印加電圧として供給する複数の駆動手段と、前記複数の駆動手段を分割した2つの駆動手段群に、前記正極性駆動用電圧群と負極性駆動用電圧群とを、周期的に交互に供給する手段とを有し、前記正極性駆動用電圧群を供給された駆動手段は、正極性駆動用電圧群を用いて、前記対向電圧に対して正極性の印加電圧を供給し、負極性駆動用電圧群を供給された駆動手段は、負極性駆動用電圧群を用いて、前記対向電圧に対して負極性の印加電圧を供給することを特徴とする液晶表示装置の駆動回路を提供する。

【0074】

【作用】本発明に係る液晶表示装置の駆動方法によれば、前記液晶パネルの全ての液晶セルについて共通した直流電圧を、各液晶セルに対向電圧として与え、前記対向電圧に対する極性が周期的に反転する電圧群を生成することにより、生成した電圧群の極性に応じた極性の電圧を、印加電圧として液晶パネルに供給する。

【0075】このように、電圧群の電圧レベルの極性を

交流化することにより、印加電圧を交流化できる。また、ある時点で使用する電圧群の電圧レベルは、その時の印加電圧の極性側のみであるので、印加電圧を生成する駆動手段の耐電圧は、極性の一方側の電圧群の電圧レベルを満足すれば足りる。したがって、低耐電圧性のドレインドライバを使用できる。

【 0 0 7 6 】 また、本発明に係る液晶表示装置の駆動回路によれば、駆動手段を分割した 2 つの駆動手段群に、前記正極性駆動用電圧群と負極性駆動用電圧群とを、周期的に交互に供給されるが、たとえば負極性駆動用電圧群は、対向電圧に対して負極性の印加電圧の値のうちの、表示に用いる前記液晶セルの最高輝度と最低輝度とを実現する 2 つの印加電圧値を、その最大電圧と最低電圧との間の電位として含み、かつ、最高輝度もしくは最低輝度を実現する対向電圧に対して正極性の印加電圧のうちの、前記対向電圧に対する電圧差の絶対値の大きい方の印加電圧値を、その最大電圧と最低電圧との間の電位として含まない。すなわち、負極性の印加電圧を生成するに充分であって、正極性の印加電圧を生成するのに不十分な電圧レベルであればよい。よって、各駆動手段の耐電圧は、前記従来の高耐電圧レベルより低くてかわらない。ここで、たとえば、負極性駆動用電圧群は、対向電圧に対して負極性の印加電圧の値のうちの、表示に用いる前記液晶セルの最高輝度と最低輝度とを実現する 2 つの印加電圧値を、その最大電圧と最低電圧との間の電位として含む最小範囲の電圧レベルの電圧群とすれば、その耐電圧を最小とすることができる。

【 0 0 7 7 】 また、前記正極性駆動用電圧群を供給された駆動手段は、正極性駆動用電圧群を用いて、前記対向電圧に対して正極性の印加電圧を一部の列に供給し、負極性駆動用電圧群を供給された駆動手段は、負極性駆動用電圧群を用いて、前記対向電圧に対して負極性の印加電圧を残りの列に供給するので、1 ライン中の液晶セルの電圧印加特性は、正極性と負極性を含むこととなり、電圧歪を従来の低耐電圧性のドレインドライバを用いたものに比べ軽減できる。

【 0 0 7 8 】

【実施例】 以下、本発明に係る液晶表示装置の実施例について説明する。

【 0 0 7 9 】 まず、第 1 の実施例を図 1 から図 1 1 を用いて説明する。

【 0 0 8 0 】 まず、本第 1 実施例の説明において用いる各図について説明する。

【 0 0 8 1 】 図 1 は本第 1 実施例に係る液晶表示装置の構成を示したものである。

【 0 0 8 2 】 図 1 において、1 0 1 はシステムバスであり、デジタル表示データと同期信号を転送する。本実施例において、システムバス 1 0 1 で転送する表示データと同期信号は、CRT 表示装置に表示するために転送する表示データ及び同期信号に準拠している線順次走査用

の信号とする。1 0 2 は液晶コントローラであり、システムバス 1 0 1 で転送されるデジタル表示データと同期信号を液晶表示装置を駆動するデジタル液晶表示データとタイミング信号に変換する。1 0 3、1 0 4、1 0 5 は基準電圧を転送する基準電圧線であり、1 0 3 はデジタルロウレベル駆動電圧 V E E、1 0 4 はデジタルハイレベル駆動電圧 V C C、1 0 5 は液晶駆動電圧 V L C D 1 の各電圧レベルを有する直流電圧である。

【 0 0 8 3 】 1 0 6、1 0 7 は信号駆動回路用制御バスであり、何れも液晶コントローラ 1 0 2 によって、信号駆動回路用に変換されたデジタル液晶表示データとタイミング信号を転送する。1 0 8 は走査駆動回路用制御バスであり、走査駆動回路用のタイミング信号を転送する。1 0 9 は液晶交流化信号であり、信号駆動回路の駆動電圧や液晶に印加する電圧極性を交流化するタイミング信号となる。1 1 0、1 1 1 はレベルシフタであり、各々信号駆動回路用制御バス 1 0 6、1 0 7 で転送されるデジタル液晶表示データとタイミング信号の電圧レベルを信号駆動回路の駆動電圧レベルに変換する。1 1 2、1 1 3 は信号駆動回路用制御バスであり、レベルシフタ 1 1 0、1 1 1 で電圧レベルがシフトされたデジタル液晶表示データとタイミング信号を転送する。

【 0 0 8 4 】 1 1 4、1 1 5 は信号駆動回路であり、各々信号駆動回路用制御バス 1 1 2、1 1 3 で転送されるデジタル液晶表示データをタイミング信号によって取り込み、デジタル液晶表示データに対応した液晶印加電圧に変換し、液晶パネルに出力する。1 1 6、1 1 7 は信号線であり、各々信号駆動回路 1 1 4、1 1 5 で生成した液晶印加電圧を転送する。1 1 8 は走査駆動回路であり、1 1 9 は走査線である。走査駆動回路 1 1 8 は、走査駆動回路用制御バス 1 0 8 で転送されるタイミング信号により、走査線 1 1 8 を順次有効にする。

【 0 0 8 5 】 1 2 0 は液晶パネルである。1 2 1 は直流基準電圧生成回路であり、本液晶表示装置を動作させるための基準となる各種直流電圧を生成する。1 2 2 は走査駆動回路用直流電圧線であり、走査駆動回路 1 1 8 に供給する。1 2 3 は対向電極線であり、直流対向電圧を転送する。1 2 4 は信号駆動回路用直流基準電圧線であり、1 2 5 は信号駆動回路用直流液晶駆動電圧線である。1 2 6 は交流回路である。

【 0 0 8 6 】 1 2 7 は上側の信号駆動回路 1 1 4 を駆動するためのハイレベル基準電圧を転送する基準電圧線であり、同様に 1 2 8 は下側の信号駆動回路 1 1 5 を駆動するためのハイレベル基準電圧を転送する基準電圧線である。1 2 9 は上側の信号駆動回路 1 1 4 を駆動するためのロウレベル基準電圧を転送する基準電圧線であり、同様に 1 3 0 は下側の信号駆動回路 1 1 5 を駆動するためのロウレベル基準電圧を転送する基準電圧線である。なお、何れの基準電圧線 1 2 9、1 3 0 で転送する基準電圧もレベルシフタ 1 1 0、1 1 1 の基準電圧となる。

ハイレベル基準電圧とロウレベル基準電圧の電圧差は、通常のデジタル回路で応用いられている 5 V を利用するようにするのが望ましい。

【0087】131は交流回路である。132は上側の信号駆動回路114で用いる交流化した液晶駆動電圧を転送する液晶駆動電圧線であり、133は下側の信号駆動回路115で用いる交流化した液晶駆動電圧を転送する液晶駆動電圧線である。液晶駆動電圧は、使用する液晶パネルの輝度特性に応じて作成する。

【0088】次に、図2レベルシフタ110の構成を示したものである。

【0089】図2において、201-1から201-Nはレベルシフタ110を構成する加算回路である。レベルシフタ110は本加算回路201-1から201-Nを信号駆動回路用制御バス106の転送する信号線分有し、本実施例においては、同期信号用に加算回路201-1と201-2の2回路、デジタル液晶表示データバス用に加算回路201-3から201-Nまでの(N-2)回路を有する。

【0090】202-1はアンプであり、203-1、204-1、205-1、206-1は抵抗である。信号駆動回路用制御バス106の内、106-1はシフトクロックであり、106-2はラッチクロックであり、106-3から106-Nはデジタル液晶表示データを転送する液晶表示データバスである。112-1はレベルシフト後のシフトクロックであり、112-2はレベルシフト後のラッチクロックであり、112-3から112-Nはレベルシフト後のデジタル液晶表示データを転送する液晶表示データバスであり、加算回路201-1から201-Nの出力する信号の電圧レベルは、入力する信号の電圧レベルに基準電圧線129で転送される基準電圧を加算した結果の電圧値となる。よって、加算回路201-1から201-Nで出力する信号の'1'、'0'を表す電圧値の振幅と、加算回路201-1から201-Nが入力する信号の'1'、'0'を表す電圧値の振幅は同じである。なお、レベルシフタ111も同様の構成である。

【0091】次に、図3は、図2に示したレベルシフタ110、111により、電圧レベルが変換される様子を示している。

【0092】ここで、ラッチクロック106-1、107-1の'1'を表す電圧値をVCCとし、'0'を表す電圧値をVEEとする。つまり、基準電圧線103で転送されるデジタルロウレベルの電圧をVEE、基準電圧線104で転送されるデジタルハイレベル、つまり、デジタル駆動レベルの電圧をVCCとする。また、基準電圧線129、130の高電位電圧値をVEEに対してVBH、低電位電圧値をVEEに対してVBLとする。

【0093】次に、図4は信号駆動回路(図1、114)の構成を示している。

【0094】なお、液晶パネル120の下側の信号駆動回路115も同様の構成である。

【0095】図4において、401-1、401-2、…はドレインドライバであり、信号駆動回路114は複数のドレインドライバ401で構成されている。ドレインドライバ401はデジタル液晶表示データを入力して、液晶印加電圧に変換し、液晶パネル120に出力する機能を有する。信号駆動回路用制御バス112のうち、402は液晶表示データバスであり、図2記載の液晶表示データバス201-2から201-Nの総称である。

【0096】112-1はシフトクロックであり、112-2はラッチクロックである。シフトクロック112-1は液晶表示データバス402で転送するデジタル液晶表示データに同期しており、ラッチクロック112-2は1水平ライン分のデジタル液晶表示データが信号駆動回路114、115に転送された後、有効となる。

【0097】403はシフトレジスタであり、404はラッチ信号である。シフトレジスタ403はシフトクロック112-1を入力して、シフト動作を行なう。このシフト動作によってラッチ信号404は順次有効となる。405はラッチ回路であり、液晶表示データバス402で転送されてくるデジタル液晶表示データをラッチ信号404により、順次ラッチする。406はデータバスであり、ラッチ回路405でラッチしたデータを転送する。407はラッチ回路であり、データバス406で転送されるデータをラッチクロック112-2でラッチする。

【0098】408はデータバスであり、ラッチ回路407でラッチしたデータを転送する。409はデジタルアナログ変換回路であり、データバス408で転送されるデジタルデータを、液晶駆動電圧線132で転送されてくる液晶駆動電圧を基に液晶印加電圧に変換する。116は信号線であり、デジタルアナログ変換回路409で生成する液晶印加電圧を転送する。

【0099】410はイネーブル信号であり、ラッチ回路403がデジタル液晶表示データを取り込み終了した時、つまり、シフトレジスタ403のシフト動作が終了した時、次段のドレインドライバ401のシフトレジスタ403を動作させて、次段のドレインドライバ401のラッチ回路405がデジタル液晶表示データを取り込む動作を開始する為の制御信号である。

【0100】ドレインドライバ401において、シフトレジスタ403、ラッチ回路405、ラッチ回路407のデジタル回路部及びデジタルアナログ変換回路409の何れも基準電圧線127で転送するハイレベル基準電圧と基準電圧線129で転送するロウレベル基準電圧で駆動する。

【0101】次に、図5は液晶パネル(図1、120)の等価回路を示したものである。

【0102】図5において、DU (m)、DU (m+1)、DL (m)、DL (m+1) は何れも信号線116、117を構成する画素部に対応した信号線である。G (n-1)、G (n)、G (n+1) は何れも走査線119を構成する各画素部に対応した走査線である。501は画素部である。画素部501のうち、502はThin Film Transister (以下、TFTと略す。) であり、503は液晶であり、504は付加容量である。TFT502のドレイン電極は信号線116と接続しており、ゲート電極は走査線119と接続している。垂直方向に並んだ各画素部501内のTFT502のドレイン電極は信号線 (例えばDU (m)) を共用する。水平方向に並んだ各画素部501内のTFT502のゲート電極は走査線 (例えばG (n)) を共用する。

【0103】また、TFT502のソース電極は液晶503、付加容量504の一方の電極に接続している。液晶503のもう一方の電極は対向電極線123と接続しており、全ての画素が共通の対向電極線123を共用している。付加容量504のもう一方の電極は前段の走査線に接続しおり、たとえば走査線G (n) で制御するTFT502に接続している付加容量504の場合、電極は走査線G (n-1) となる。

【0104】この様に、液晶パネル120は、水平方向、垂直方向に画素部501を複数有するマトリクス構造を有している。たとえば、水平解像度640ピクセル、垂直解像度480ラインの画面を表示する場合、水平方向に1920画素を配し、隣接する3つの画素にそれぞれRed、Green、Blueのカラーフィルタを付加して、1ピクセルを構成することで、水平解像度640ピクセルを実現できる。また、垂直方向では、水平方向で述べた画素構成を480ライン分構成することで、垂直解像度480ラインが実現できる。本実施例においては隣接する画素部501の信号線を信号線116と信号線117で交互に引き出す構成を取っている。

【0105】なお、信号線116と信号線117の引き出しは、ピクセル交互にしてもよいまた、付加容量504のもう一方の電極を、前段の走査線に代えて、対向電極線123で供給する対向電極電圧と同等の電圧を供給する信号線に接続した液晶パネル120についても本実施例は適用できる。また、画素部501に付加容量504が存在しない液晶パネル120についても本実施例は適用できる次に、図6は交流回路 (図1、126) の構成を示したものである。

【0106】図6において、601は反転回路であり、液晶交流化信号109の極性を反転する。602は反転した液晶交流化信号である。603、604、605、606は何れも信号駆動回路用直流基準電圧線124内の直流電圧線である。本実施例において、直流電圧線603は電圧VDBHH、直流電圧線604は電圧VDB

LH、直流電圧線605は電圧VDBHL、直流電圧線606は電圧VDBLLを各々転送する。

【0107】607、608、609、610は電圧セクタであり、何れも入力する直流電圧を交流化する。611、612、613、614は各々電圧セクタ607、608、609、610の出力する交流電圧を転送する電圧線である。615、616、617、618は増幅回路であり、各々電圧セクタ607、608、609、610の出力する交流電圧の駆動能力を高める役割をする。

【0108】次に、図7は交流回路 (図1、131) の構成を示したものである。

【0109】図7において、701は反転回路であり、液晶交流化信号109の極性を反転する。702は反転した液晶交流化信号である。703は図1の対向電極線123の対向電圧に対して正極性の電圧を転送する信号駆動回路用直流液晶駆動電圧線であり、同様に704は負極性の電圧を転送する信号駆動回路用直流液晶駆動電圧線である。705は信号駆動回路114用の電圧セクタであり、706は信号駆動回路115用の電圧セクタである。707、708は各々電圧セクタ705、706による選択動作により、交流化された信号駆動回路用の液晶駆動電圧を転送する電圧線である。709、710は増幅回路であり、電圧セクタ705、706で生成した信号駆動回路114、115用の液晶駆動電圧の駆動能力を高める役割をする。

【0110】次に、図8は、フレーム毎に液晶に印加する電圧の極性を切り換えるフレーム交流駆動によって、液晶パネル120に供給される駆動電圧波形を示している。

【0111】図8において、VG (n) は、図5の走査線G (n) の電圧波形である。VGHは走査線119の選択電圧レベルであり、VGLは非選択電圧レベルである。VCOMは対向電極123の電圧値である。ハイレベル基準電圧線127の電圧波形のうちVDBHHは正電位領域で信号駆動回路114が動作するときの電圧レベルであり、図6の直流電圧線603の電圧レベルと同等である。また、ハイレベル基準電圧線127の電圧波形のうちVDBLHは負電位領域で信号駆動回路114が動作するときの電圧レベルであり、図6の直流電圧線604の電圧レベルと同等である。ロウレベル基準電圧線128の電圧波形のうちVDBHLは正電位領域で信号駆動回路114が動作するときの電圧レベルであり、図6の直流電圧線605の電圧レベルと同等である。また、ロウレベル基準電圧線130の電圧波形のうちVDBLLは負電位領域で信号駆動回路114が動作するときの電圧レベルであり、図6の直流電圧線606の電圧レベルと同等である。また、ハイレベル基準電圧線128の電圧レベルはハイレベル基準電圧線127の電圧レベルと同様であり、VCOMに対する極性は逆になって

いる。また、ロウレベル基準電圧線 130 はロウレベル基準電圧線 129 の電圧レベルと同様であり、VCOM に対する極性は逆になっている。また、VDU は信号駆動回路 114 の出力する液晶印加電圧であり、VDL は信号駆動回路 115 の出力する液晶印加電圧である。

【0112】次に、図 9 は、本実施例で用いる液晶の電圧と輝度の関係を示している。

【0113】図 9 において、縦軸は輝度を表し、横軸は液晶印加電圧を表す。901 は正電圧時の輝度-電圧特性であり、902 は負電圧時の輝度-電圧特性である。10 液晶は対向電極電圧 VCOM に対して正極性、負極性何れの電圧が印加されても、その絶対値が同等ならば同様の輝度表示を行う特性を有する。また、本第 1 実施例では、液晶に印加する電圧値が小さい場合、つまり、印加電圧が対向電極 123 の電圧値に近い電圧（例えば、電圧 +VDW、電圧 -VDW）の場合、輝度が高く、正電圧、負電圧何れも印加電圧が増す毎に輝度が低くなる特性（例えば、電圧 +VDB、電圧 -VDB）を有する。

【0114】次に、図 10 は、フレーム交流を行った場合に各画素部 501 に印加される電圧の状態と、その時に画素部で発する電流の向きを示したものである。20

【0115】次に、図 11 は、ライン毎に液晶に印加する電圧の極性を切り換えるライン交流駆動によって、液晶パネルに供給される駆動電圧波形を示したものである。

【0116】図中、VG (n) は図 5 の走査線 G (n) の電圧波形であり、VG (n+1) は走査線 G (n+1) の電圧波形である。

【0117】次に、図 12 は、ライン交流を行った場合に各画素部 501 に印加される電圧の状態と、その時に画素部で発する電流の向きを示したものである。30

【0118】次に、図 11 は、ドレインドライバ（図 4、401）内のデジタルアナログ変換回路 409 の回路の構成を示したものである。

【0119】なお、ここで、本第 1 実施例においては、

一画素当りの表現しうる階調数をデジタルデータ 6 ビットに対応する 64 階調として説明する。

【0120】408-1-1 は、6 ビットのデジタルデータであり、上位ビットから D5、D4、D3、D2、D1、D0 とする。1301 はデコーダであり、上位 2 ビットをデコードするデコーダと、下位 4 ビットをデコードするデコーダで構成する。

【0121】1302 は高位電圧選択回路であり、1303-1、1303-2、1303-3、1303-4 は V4、V3、V2、V1 電圧を選択するアナログスイッチである。1304 は低位電圧選択回路であり、1305-1、1305-2、1305-3、1305-4 は V3、V2、V1、V0 電圧を選択するアナログスイッチである。1306 は高位電圧選択回路 1032 で選択された V4 から V1 の何れかの電圧を出力する電圧線であり、1307 は低位電圧選択回路 1034 で選択された V3 から V0 の何れかの電圧を出力する電圧線である。

【0122】図からも分かるように、高位電圧選択回路 1032 で V4 が選択されると、低位電圧選択回路 1034 では V3、同様に V3 と V2、V2 と V1、V1 と V0 が組になって、電圧選択回路 1032、1034 で選択される。1308 は直列抵抗回路であり、1309-1 から 1309-16 の 16 個の抵抗を直列に接続した回路である。1310-1 から 1310-15 は直列抵抗回路 1308 で生成する分圧電圧を転送する電圧線である。1311 は電圧選択回路であり、1312-1 から 1312-16 はアナログスイッチである。

【0123】なお、1 画素あたりのビット数を増加した場合でも、各回路をビット数の増加にあわせて容易に実現できる。

【0124】次に、表 1 はデコーダ（図 11、1301）のデコード動作を表す真理値表である。

【0125】

【表 1】

デコード回路真理値表 (表1)

上位ビットデコード			下位ビットデコード				
データ		有効 デコード信号	データ				有効 デコード信号
D5	D4		D3	D2	D1	D0	
1	1	SU3	1	1	1	1	SL15
1	0	SU2	1	1	1	0	SL14
0	1	SU1	1	1	0	1	SL13
0	0	SU0	1	1	0	0	SL12
			1	0	1	1	SL11
			1	0	1	0	SL10
			1	0	0	1	SL9
			1	0	0	0	SL8
			0	1	1	1	SL7
			0	1	1	0	SL6
			0	1	0	1	SL5
			0	1	0	0	SL4
			0	0	1	1	SL3
			0	0	1	0	SL2
			0	0	0	1	SL1
			0	0	0	0	SL0

【0126】表1において、上位ビットのデコード結果は、D5、D4が'11'のときSU3が有効となり、'10'のときSU2が有効となり、'01'のときSU1が有効となり、'00'のときSU0が有効となる。

【0127】また、下位ビットのデコード結果は、ラッチクロック201-2が有効の時、D3、D2、D1、D0の値に係らず、SL0が有効となる。ラッチクロック201-2が無効の時、D3、D2、D1、D0が'1111'のときSL15が有効となり、'1110'のときSL14が有効となり、'1101'のときSL13が有効となり、'1100'のときSL12が有効となり、'1011'のときSL11が有効となり、'1010'のときSL10が有効となり、'1001'のときSL9が有効となり、'1000'のときSL8が有効となり、'0111'のときSL7が有効となり、'0110'のときSL6が有効となり、'0101'のときSL5が有効となり、'0100'のときSL4が有効となり、'0011'のときSL3が有効となり、'0010'のときSL2が有効となり、'0001'のときSL1が有効となり、'0000'のときSL0が有効となる。

【0128】以下、本第1実施例に係る液晶表示装置の動作について説明する。

【0129】図1において、システムバス101で転送されるデジタル表示データは液晶コントローラ102、レベルシフタ110、111、信号駆動回路114、115を介して液晶印加電圧に変換され、液晶パネル120に出力されて表示を行う。液晶コントローラ102では、システムバス101で入力するデジタル表示データ

を、信号駆動回路114、115の入力インタフェースと液晶パネル120の画素構成に沿う様に同期信号を用いて、信号駆動回路用制御バス106、107を介して出力する。

【0130】さて、ここで、本第1実施例では、信号駆動回路用制御バス106、107で転送するデジタル液晶表示データの駆動電圧レベルと信号駆動回路114、115の駆動電圧レベルとが異なる。

【0131】つまり、液晶は直流電圧が印加されると劣化するという問題がある。また、本第1実施例では、図10に示したように、水平ライン方向で各画素部に印加する電圧の極性が一致しないように制御することにより、ライン間電流により画質の劣化を防ぐ。そこで、液晶に印加する電圧は、ある周期をもって交流化しなければならない。なお、図9に示したように、液晶は対向電圧VCOMに対して、正極性、負極性の電圧が印加されても、その絶対値が同等ならば同様の輝度表示を行なう特性を有する。

【0132】一方、対向電極線123の制御する対向電圧VCOMが直流電圧であるから、この交流化のためには、信号駆動回路114、115は信号線116、117で図8に示したVDU、VDLの範囲の電圧を出力する必要がある。

【0133】しかし、ドレインドライバ401の基準電圧はデジタル部およびデジタルアナログ変換回路409の何れも共通の低電圧(VDD-VEE)で駆動しなければならない。よって、基準電圧が固定であると、必要とする液晶印加電圧を液晶パネル120に供給することができない。

【0134】そこで、基準電圧線127、128、12

9、130を、図8、図11の駆動波形のように、信号駆動回路114、115の生成する液晶印加電圧VDU、VDLに沿って、交流化することで、必要とする液晶印加電圧の電圧レベルを生成することが可能となる。

【0135】しかし、信号駆動回路114、115の基準電圧が交流化することで駆動電圧レベルを変動させていることから、信号駆動回路114、115に入力する各種信号の駆動電圧レベルも変動させる必要がある。

【0136】そこで、信号駆動回路114、115と駆動電圧レベルの異なる信号駆動回路用制御バス106、107で転送されるデジタル液晶表示データとタイミング信号は、レベルシフタ110、111によって、駆動電圧レベルをシフトする。

【0137】本第1実施例においては、信号駆動回路用制御バス106、107で転送されるデジタル液晶表示データとタイミング信号は、レベルシフタ110、111で基準電圧129、130で転送される電圧が加算され、信号駆動回路用制御バス112、113に出力されることになる。

【0138】ここで、この信号駆動回路用制御バス106、107で転送されるデジタル液晶表示データとタイミング信号が、レベルシフタ110、111によって、駆動電圧レベルがシフトされ、信号駆動回路用制御バス112、113に出力されるまでの動作を図2、図3を用いて詳細に説明する。

【0139】図2において、レベルシフタ110は信号駆動回路用制御バス106の転送する信号線分の加算回路201-1から201-Nが設けられている。加算回路201において各抵抗203、204、205、206の値が同一の場合、出力112に現われる電圧レベルは入力信号106の表す電圧レベルに基準電圧線129で転送する電圧レベルを加算した結果となる。

【0140】その様子を図3を用いて説明する。

【0141】図示するように、液晶交流化信号109によって、レベルシフタ110用の基準電圧線129とレベルシフタ111用の基準電圧線130の電圧値は電圧VEEに対して、高電位電圧値VBH、低電位電圧値VBLだけ高い値となる。よって、液晶交流化信号109が'1'のとき、レベルシフト後のシフトクロック112-1は'1'を表す電圧値が $VCC + VBH$ となり、'0'を表す電圧値が $VEE + VBH$ となる。同様に、液晶交流化信号109が'0'のとき、レベルシフト後のシフトクロック112-1は'1'を表す電圧値が $VCC + VBL$ となり、'0'を表す電圧値が $VEE + VBL$ となる。レベルシフト後のシフトクロック112-1は'1'を表す電圧値と'0'を表す電圧値の電圧差は $VCC - VEE$ であり、これは入力するシフトクロック106-1の'1'と'0'を表す電圧値の電圧差と同一である。

【0142】このように、レベルシフト後の電圧値は液

晶交流化信号109が'1'のとき電圧VBH、'0'のとき電圧VBLが加算されることになる。なお、図2記載のラッチクロック112-2、デジタル液晶表示データ112-2から112-Nは何れも同様な回路で構成されていることから、シフトクロック112-1と同様の動作をし、ラッチクロック112-2、デジタル液晶表示データ112-2から112-Nで転送されることになる。

【0143】また、図1レベルシフタ111は、レベルシフタ110と同様の構成を有しているが、レベルシフタ110とは逆に、レベルシフト後の電圧値は液晶交流化信号109が'0'のとき電圧VBH、'1'のとき電圧VBLが加算されることになる。

【0144】このレベルシフタ110、111によって、信号駆動回路用制御バス112、113で転送されるデジタル液晶表示データとタイミング信号の駆動電圧レベルと信号駆動回路114、115の駆動電圧レベルが一致し、データの受け渡しは行えることになる。

【0145】さて、レベルシフタ110、111によってレベルシフトされたデジタル液晶表示データとタイミング信号は信号駆動回路114、115に入力されて液晶印加電圧に変換される。

【0146】この様子を図4を用いて説明する。

【0147】図4のドレインドライバ401-1内では、シフトクロック112-1によって、シフトレジスタ403-1は動作を開始し、順次ラッチ信号404-1を有効にする。有効になったラッチ信号404-1に対応したラッチ回路405-1内の記憶回路が表示データバス402で転送されてくるデジタル液晶表示データを順次ラッチする。ラッチされたデータはデータバス406-1に出力される。

【0148】ラッチ回路405-1内の記憶回路によるデータの取り込み動作が終了すると、つまり、シフトレジスタ403-1のシフト動作が終了するとシフトレジスタ403-1はイネーブル信号410-1を有効にする。イネーブル信号410-1が有効になると、次段のドレインドライバ401-2内のシフトレジスタ403-2が動作を開始する。

【0149】そして、ラッチ回路405-2は、ドレインドライバ401-1内のラッチ回路405-1でラッチした後のデータを順次ラッチする。更に、ラッチ回路405-2内の記憶回路によるデータの取り込み動作が終了するとイネーブル信号410-2を有効にし、次段のドレインドライバ401がドレインドライバ401-1、401-2と同様の動作をする。

【0150】信号駆動回路114、115内の各ドレインドライバ401が本動作を行うことで1水平ライン分の液晶表示データを取り込むことが可能となる。各ドレインドライバ401内のラッチ回路405に1水平ライン分の液晶表示データが取り込まれた後にラッチクロッ

ク 1 1 2 - 2 が有効となり、各ドレインドライバ 4 0 1 のデータバス 4 0 6 で転送されるラッチ回路 4 0 5 で記憶されたデータが 1 水平ライン分同時にラッチ回路 4 0 7 にラッチされる。

【0 1 5 1】データがラッチ回路 4 0 7 に記憶された後に、各ドレインドライバ 4 0 1 のシフトレジスタ 4 0 3、ラッチ回路 4 0 5 は次ラインのデータを取り込むために前記の動作と同様の動作を開始する。ラッチ回路 4 0 7 で記憶したデータはデータバス 4 0 8 を介してデジタルアナログ変換回路 4 0 9 に転送され、液晶駆動電圧線 1 3 2 で転送される液晶駆動電圧によって、デジタルデータに対応した液晶印加電圧が生成され、信号線 1 1 6 で出力される。

【0 1 5 2】次に、このデジタルアナログ変換回路 4 0 9 によって、液晶印加電圧を生成する動作について図 1 1 を用いて詳しく説明する。

【0 1 5 3】図 1 1 において、データ線 4 0 8 - 1 - 1 で転送する 6 ビットのデジタルデータをデコーダ 1 3 0 1 で入力し、上位 2 ビットデータの D 5、D 4 の値によってデコード信号 S U 3 から S U 0 のうち何れかを有効にする。また、ラッチクロック 1 1 2 - 2 が有効の時、下位 4 ビットデータの D 3、D 2、D 1、D 0 の値に係らずデコード信号 S L 0 を有効にし、ラッチクロック 1 1 2 - 2 が無効の時、下位 4 ビットデータの D 3、D 2、D 1、D 0 の値によってデコード信号 S L 1 5 から S L 0 のうち何れかを有効にする。

【0 1 5 4】ここで、データ線 4 0 8 - 1 - 1 で転送する 6 ビットのデジタルデータが ' 1 0 1 1 0 0 ' であった場合の動作について具体的に説明する。

【0 1 5 5】この場合、上位 2 ビットは ' 1 0 ' であるから、デコード信号 S U 2 が有効となり、高位電圧選択回路 1 3 0 2 では、アナログスイッチ 1 3 0 3 - 2 がオン状態となり、電圧線 1 3 0 6 に電圧 V 3 を出力する。更に、低位電圧選択回路 1 3 0 4 では、アナログスイッチ 1 3 0 5 - 2 がオン状態となり、電圧線 1 3 0 7 に電圧 V 2 を出力する。電圧 V 3、V 2 は直列抵抗回路 1 3 0 8 に入力され、内部の抵抗 1 3 0 9 - 1 から 1 3 0 9 - 1 6 で分圧された電圧が、電圧線 1 3 1 0 - 1 から 1 3 1 0 - 1 5 及び 1 3 0 7 に出力される。

【0 1 5 6】また、下位ビットのデコーダではラッチクロック 1 1 2 - 2 が有効な期間、デコード信号 S L 0 を有効にするので、アナログスイッチ 1 3 1 2 - 1 6 がオン状態となり、電圧線 1 3 0 7 で転送される電圧 V 2 を信号線 1 1 6 - 1 - 1 に出力する。その後、ラッチクロック 2 1 0 - 2 が無効となった後の期間では、デコード信号 S L 1 2 を有効にするので、アナログスイッチ 1 3 1 2 - 1 4 がオン状態となり、電圧線 1 3 1 0 - 4 で転送される電圧 $(V 2 + (V 3 - V 2) \times 1 2 / 1 6)$ を信号線 1 1 6 - 1 - 1 に出力する。この電圧 $(V 2 + (V 3 - V 2) \times 1 2 / 1 6)$ がデジタルデータ ' 1 0

1 1 0 0 ' に対応した液晶印加電圧である。

【0 1 5 7】この様に、ラッチクロック 1 1 2 - 2 が有効な期間と、無効な期間とで出力する電圧を切り換えることは、駆動能力を向上させる上で有効な手段となる。つまり、ラッチクロック 1 1 2 - 2 が有効な期間出力する電圧 V 2 は、低抵抗値を有するアナログスイッチ 1 3 0 5 - 2 とアナログスイッチ 1 3 1 2 - 1 6 を介した電圧であるため、その出力インピーダンスは低い値となっており、大電流を流すことが可能なことから、駆動能力が高い。しかし、ラッチクロック 1 1 2 - 2 が無効な期間出力する電圧 $(V 2 + (V 3 - V 2) \times 1 2 / 1 6)$ は、低抵抗値を有するアナログスイッチ 1 3 0 3 - 2、1 3 0 5 - 2 と高抵抗値を有する直列抵抗回路 1 3 0 8 内の全抵抗 1 3 0 9 - 1 から 1 3 0 9 - 1 6 を介して、アナログスイッチ 1 3 1 2 - 4 で選択された電圧であるため、その出力インピーダンスは高い値となっており、大電流を流すことが出来ず、駆動能力が低い。仮に、直列抵抗回路 1 3 0 8 内の全抵抗 1 3 0 9 - 1 から 1 3 0 9 - 1 6 を低抵抗値にすると、液晶パネル 1 2 0 内各画素部 5 0 1 に液晶印加電圧が十分に蓄積された状態においても、液晶駆動電圧線 1 3 2 の流出入電流が大きくなることから低消費電力化の妨げになる。よって、液晶印加電圧を生成する期間及び出力する電圧レベルを 2 つに分けて駆動する本方式は駆動能力を向上させる上で有効となる。

【0 1 5 8】また、本実施例の様に液晶駆動電圧 V 4 から V 0 をドレインドライバ 4 0 1 の外部から供給し、内部で多レベルの電圧を生成する方式にすることでドレインドライバ 4 0 1 の基準電圧線 1 2 7、1 2 8、1 2 9、1 3 0 の転送する基準電圧に多少のノイズ等が混入されていても、外部から供給する液晶駆動電圧 V 4 から V 0 が安定していれば、出力電圧も安定した電圧を得ることができる。

【0 1 5 9】なお、図 4、図 1 1 記載のドレインドライバ 4 0 1 において、低電位電圧選択回路 1 3 0 4 のデコード信号 S L 1 5 から S L 0 を制御する信号としては、ラッチクロック 1 1 2 - 2 以外の同様の制御ができる信号を用いるようにしてもよい。

【0 1 6 0】次に、レベルシフタ 1 1 0、1 1 1、ドレインドライバ 4 0 1 が、このような動作において用いた基準電圧線 1 2 7 で転送するハイレベル基準電圧、基準電圧線 1 2 8 で転送するハイレベル基準電圧、基準電圧線 1 2 9 で転送するロウレベル基準電圧、基準電圧線 1 3 0 で転送するロウレベル基準電圧、液晶駆動電圧線 1 3 2 で転送する液晶駆動電圧、液晶駆動電圧線 1 3 3 で転送する液晶駆動電圧について図 6、図 7、図 8 を用いて説明する。

【0 1 6 1】図 6 は、図 1 記載のレベルシフタ 1 1 0、1 1 1 及び信号駆動回路 1 1 4、1 1 5 が動作するための基準電圧を生成する交流回路である。本第 1 実施例に

において、基準電圧線127には、電圧セクタ607、増幅回路615により、電圧線603、604で転送される直流電圧VDBHH、VDBLHが液晶交流化信号109に応じて交流化されて出力される。

【0162】同様に、図6に示すように基準電圧線129には、電圧セクタ608、増幅回路616により、電圧線605、606で転送される直流電圧VDBHL、VDBLLが液晶交流化信号109に応じて交流化されて出力される。

【0163】基準電圧線128には、電圧セクタ609、増幅回路617により、電圧線603、604で転送される直流電圧VDBHH、VDBLHが液晶交流化信号602に応じて交流化されて出力される。

【0164】基準電圧線130には、電圧セクタ610、増幅回路618により、電圧線605、606で転送される直流電圧VDBHL、VDBLLが液晶交流化信号602に応じて交流化されて出力される。

【0165】この様子を図8を用いて説明する。

【0166】液晶交流化信号109が'1'のとき、図1記載の信号駆動回路114は液晶ハイレベル基準電圧値をVDBHH、ロウレベル基準電圧値をVDBHLとして動作し、信号駆動回路115は液晶ハイレベル基準電圧値をVDBLH、ロウレベル基準電圧値をVDBLLとして動作する。また、交流化信号109が'0'のとき、図1記載の信号駆動回路114はハイレベル基準電圧値をVDBLH、ロウレベル基準電圧値をVDBLLとして動作し、信号駆動回路115はハイレベル基準電圧値をVDBHH、ロウレベル基準電圧値をVDBHLとして動作する。

【0167】本第1実施例において、基準電圧値VDBHLは図3に記載した電圧値VEE+VBHと同値であり、基準電圧値VDBLLは図3に記載した電圧値VEE+VBLと同値である。また、基準電圧値VDBHHは図3に記載した電圧値VCC+VBHと同値であり、基準電圧値VDBLHは図3に記載した電圧値VCC+VBLと同値である。

【0168】よって、レベルシフト110、111による信号駆動回路用制御バス112、113で転送するデジタル液晶表示データとタイミング信号の動作電圧は本交流回路126で生成された基準電圧127、128、129、130による信号駆動回路114、115の駆動電圧レベルと一致することになる。

【0169】次に、液晶駆動電圧線132、133で転送する電圧を生成する交流回路131について図7を用いて説明する。

【0170】液晶駆動電圧線132は、電圧セクタ705、増幅回路709を介して、信号駆動回路用直流液晶駆動電圧線703、704で転送される信号駆動回路用直流液晶駆動電圧を交流化して出力する。また、液晶駆動電圧線133は、電圧セクタ706、増幅回路7

10を介して、信号駆動回路用直流液晶駆動電圧線703、704で転送される信号駆動回路用直流液晶駆動電圧を交流化して出力する。交流化信号109が'1'のとき、液晶駆動電圧線132は信号駆動回路用直流液晶駆動電圧線703で転送する電圧を出力し、同様に、交流化信号109が'0'のとき、信号駆動回路用直流液晶駆動電圧線704で転送する電圧を出力する。

【0171】逆に、液晶駆動電圧線133は、交流化信号109が'1'のとき、信号駆動回路用直流液晶駆動電圧線704で転送する電圧を出力し、交流化信号109が'0'のとき、信号駆動回路用直流液晶駆動電圧線703で転送する電圧を出力する。よって、液晶駆動電圧線132、133で転送する電圧は、常に対向電極線123の対向電圧に対して、逆極性となる。

【0172】液晶駆動電圧線132で転送される液晶駆動電圧は図4記載のドレインドライバ401のデジタルアナログ変換回路409に入力され、液晶駆動電圧となって信号線116で液晶パネル120に出力される。

【0173】これを図8を用いて説明する。液晶印加電圧線132、133で転送する電圧は、図4記載のドレインドライバ401のデジタルアナログ変換回路409に入力され、液晶駆動電圧となって信号線116、117で液晶パネル120に出力される。図8の信号線116の出力する電圧範囲は、基準電圧127、129の交流化と共に交流化され、信号線117の出力する電圧範囲は、基準電圧128、130の交流化と共に交流化される。ここで、液晶駆動電圧線132、133で転送する電圧が基準電圧の動作領域内の電圧値でない場合は、信号駆動回路114、115が正常に動作せず、表示を行うのに必要な電圧が信号線116、117に現われないことになる。

【0174】次に、信号駆動回路114、115によって液晶印加電圧が生成され、図1記載の液晶パネル120に電圧が印加される様子を説明する。

【0175】図1記載のレベルシフト110、111、信号駆動回路114、115、交流回路126、交流回路131によって、システムバス101で転送される表示データが液晶印加電圧に変換されて、図8記載の液晶印加電圧VDU、VDLとなって、液晶パネル120に出力されるとき、走査駆動回路118では、走査駆動回路用制御バス108によって、シフト動作が行なわれる。信号駆動回路114、115の出力する液晶印加電圧を印加する水平ラインに接続された走査線119が有効となる。この様子を図8を用いて詳しく説明する。

【0176】信号線116には、図8に示したVDUの駆動波形が信号駆動回路114より供給される。また、信号線117には、図8のタイミング図に記載したVDLの駆動波形が信号駆動回路115より供給される。

【0177】走査線G(n)には選択電圧VGHが1ライン期間供給され、その後、非選択電圧VGLが1フレ

ーム期間供給される。

【0178】走査線G(n)の選択電圧VGHが有効のときに、図10記載の走査線G(n)に接続してある画素部501のTFT502がオン状態となり、信号線116、117に現われた電圧がTFT502を介して、液晶503、負荷容量504に蓄積される。

【0179】ここで、前述したように、液晶503はある周期をもって交流化することで、劣化を防ぐ必要がある。一方、図9に示すように、液晶503に蓄積される電圧によって、輝度を変えることができる。すなわち、対向電極123に対して正電位の電圧が印加されている場合、輝度-電圧曲線901の特性を有し、負電位の電圧が印加されている場合、輝度-電圧曲線902の特性を有しているため、液晶は印加電圧の極性に係らず、輝度を電圧実効値で制御することができる。

【0180】そこで、本第1実施例では、液晶の劣化を防ぐためにフレーム毎に対向電圧VCOMに対して、印加電圧の極性を交流化する。

【0181】これは、液晶交流化信号109をフレーム毎に交流化し、前述してきたように、これに同期して、レベルシフト110、111によるレベルシフト後のデジタル液晶表示データとタイミング信号の電圧値、信号駆動回路114、115の基準電圧値、外部から供給する液晶駆動電圧値を交流化することで可能となる。

【0182】また、本第1実施例では、電極線への電流集中を防止するため、隣合う画素毎に対向電圧VCOMに対して、液晶503に印加する電圧の極性を逆にして駆動する。

【0183】これは、前述したように、1ライン中に並ぶ画素に交互に接続する、信号駆動回路114と、115に与えるデジタル液晶表示データ112、113と、基準電圧(127、129)、(128、130)、外部から供給する液晶駆動電圧132、133を、対向電圧VCOMに対して逆極性にそれぞれ逆極性とすることで実現される。

【0184】この印加電圧による各画素における極性の状態を、図10を用いて説明する。本第2実施例において、信号線116で駆動する画素部は正極性の電圧が印加されており、信号線117で駆動する画素部は負極性の電圧が印加されている。

【0185】信号線116のDU(m)に接続された画素部501-U(m)-(n)、501-U(m)-(n+1)、…と、DU(m+1)に接続された画素部501-U(m+1)-(n)、501-U(m+1)-(n+1)、…、では液晶503を介した電流方向は対向電極線123方向に流出し、付加容量504を介した電流方向は前段の走査線G(n-1)、G(n)に流出する。更に、信号線117のDL(m)に接続された画素部501-L(m)-(n)、501-L(m)-(n+1)、…、では液晶503を介した電流方向は対

向電極線123から流入し、付加容量504を介した電流方向は前段の走査線G(n-1)、G(n)から流入する。

【0186】よって、水平方向の各画素部が選択状態のとき対向電極線123、走査線G(n-1)、G(n)の電流方向が隣接する画素で異なるように制御できることから、各電極への電流集中を防ぐことが出来る。従って、対向電極線123及び走査線119の電圧歪を低減出来ることから、液晶503、付加容量504の液晶印加電圧実効値が変動することなく、高品質な表示を得ることが出来る。また、液晶の劣化を防止するため次のフレームでは各画素部に印加される電圧の極性は反転するが、各電極への電流集中は同様な理由から防止することが出来る。

【0187】以上、本発明の第1実施例について説明した。

【0188】ところで、液晶パネルへの印加電圧は、さらに、ライン毎に交流化してもよい。

【0189】この点を、図12、図13を用いて説明する。

【0190】図12は、ライン毎に液晶に印加する電圧の極性を切り換えるライン交流駆動によって、液晶パネルに供給される駆動電圧波形を示したものである。

【0191】図中、VG(n)は図5の走査線G(n)の電圧波形であり、VG(n+1)は走査線G(n+1)の電圧波形である。

【0192】図13は、ライン交流を行った場合に各画素部501に印加される電圧の状態と、その時に画素部で発する電流の向きを示したものである。

【0193】さて、この場合は、図11に示すように、液晶交流化信号109は1水平期間の周期を持って交流化する。また、液晶交流化信号109の極性が、フレーム毎に、同じ水平期間(同じラインの走査期間)について反転するように制御する。

【0194】これにより、図6記載の交流回路126内の電圧セクタ607、608、609、610及び図7記載の交流回路131内の電圧セクタ705、706は1水平期間の周期をもって、選択動作を繰り返すことになる。よって、信号駆動回路114において、図12記載のように、走査線G(n)が選択状態、つまり電圧レベルVGHの時、基準電圧127、129はそれぞれ対向電圧VCOMに対して正電位電圧のVDBHH、VDBHLとなり、信号線116にも対向電圧VCOMに対して正電位の電圧が印加される。

【0195】そして、次ラインの走査線G(n+1)が選択状態の時、基準電圧127、129はそれぞれ対向電圧VCOMに対して負電位電圧のVDBLH、VDBLLとなり、信号線116にも対向電圧VCOMに対して負電位の電圧が印加される。

【0196】また、信号駆動回路115において、走査

10

20

30

40

50

線 G (n) が選択状態、つまり電圧レベル V G H の時、基準電圧 1 2 8、1 3 0 はそれぞれ対向電圧 V C O M に対して負電位電圧の V D B L H、V D B L L となり、信号線 1 1 7 にも対向電圧 V C O M に対して負電位の電圧が印加される。そして、次ラインの走査線 G (n + 1) が選択状態の時、基準電圧 1 2 9、1 3 0 はそれぞれ対向電圧 V C O M に対して正電位電圧の V D B H H、V D B H L となり、信号線 1 1 7 にも対向電圧 V C O M に対して正電位の電圧が印加される。

【 0 1 9 7 】このような動作によって、ライン毎に画素部に印加する電圧の極性が逆極性となる。この結果液晶画素部に印加される電圧の極性は図 1 3 に示すようになる。

【 0 1 9 8 】図示するように、走査線 G (n) に接続された画素部の内、信号線 1 1 6 の D U (m) に接続された画素部 5 0 1 - U (m) - (n)、D U (m + 1) に接続された画素部 5 0 1 - U (m + 1) - (n) では、液晶 5 0 3 を介した電流方向は対向電極線 1 2 3 方向に流出し、付加容量 5 0 4 を介した電流方向は前段の走査線 G (n - 1) に流出する。さらに、信号線 1 1 6 の D L (m) に接続された画素部 5 0 1 - L (m) - (n) では、液晶 5 0 3 を介した電流方向は対向電極線 1 2 3 方向から流入し、付加容量 5 0 4 を介した電流方向は前段の走査線 G (n - 1) から流入する。

【 0 1 9 9 】また、走査線 G (n + 1) に接続された画素部の内、信号線 1 1 6 の D U (m) に接続された画素部 5 0 1 - U (m) - (n)、D U (m + 1) に接続された画素部 5 0 1 - U (m + 1) - (n) では、液晶 5 0 3 を介した電流方向は対向電極線 1 2 3 方向から流入し、付加容量 5 0 4 を介した電流方向は前段の走査線 G (n) から流入する。さらに、信号線 1 1 6 の D L (m) に接続された画素部 5 0 1 - L (m) - (n) では、液晶 5 0 3 を介した電流方向は対向電極線 1 2 3 方向に流出し、付加容量 5 0 4 を介した電流方向は前段の走査線 G (n) に流出する。

【 0 2 0 0 】よって、このように、ライン毎に交流化しても、水平方向の各画素部が選択状態のとき対向電極線 1 2 3、走査線 G (n - 1)、G (n) の電流方向が隣接する画素で異なるように制御できることから、各電極への電流集中を防ぐことができる、また、次のフレームでは各画素部に印加される電圧の極性は反転し、液晶の劣化は防止される。

【 0 2 0 1 】以下、本発明に係る液晶表示装置の第 2 の実施例について説明する。

【 0 2 0 2 】本第 2 実施例は、単一の信号駆動回路を用いる場合についてのものである。

【 0 2 0 3 】以下、本第 2 実施例を、図 1 4 から図 1 7 を用いて説明する。

【 0 2 0 4 】まず、図 1 4 に液晶表示装置のシステムの構成を示す。

【 0 2 0 5 】図 1 4 において、1 4 0 1 は信号駆動回路であり、1 4 0 2 は信号線であり、1 4 0 3 は液晶パネルである。本第 2 実施例において、信号駆動回路 1 4 0 1 は液晶パネル 1 4 0 3 の上方から駆動するものとする。但し、下方より駆動するようにしてもよい。

【 0 2 0 6 】次に、図 1 5 に、信号駆動回路 1 4 0 1 の構成を示す、図 1 5 において、4 0 1 - 1、4 0 1 - 2、…はドレインドライバであり、信号駆動回路 1 4 0 1 は複数のドレインドライバ 4 0 1 で構成される。

【 0 2 0 7 】ドレインドライバ 4 0 1 は、デジタル表示データを入力して、液晶印加電圧に変換し、出力する構成を取っている。奇数番目のドレインドライバ 4 0 1 - 1、4 0 1 - 3、…は信号駆動回路用制御バス 1 1 2 を用いて駆動し、偶数番目のドレインドライバ 4 0 1 - 2、4 0 1 - 4、…は信号駆動回路用制御バス 1 1 3 を用いて駆動する。よって、信号駆動回路用制御バス 1 1 2 内のシフトクロック 1 1 2 - 1、ラッチクロック 1 1 2 - 2、デジタル表示データを転送するデジタル表示データバス 4 0 2 は、奇数番目のドレインドライバ 4 0 1 - 1、4 0 1 - 3、…に接続する。また、信号駆動回路用制御バス 1 1 3 内のシフトクロック 1 1 3 - 1、ラッチクロック 1 1 3 - 2、デジタル表示データを転送するデジタル表示データバス 1 5 0 1 は、偶数番目のドレインドライバ 4 0 1 - 2、4 0 1 - 4、…に接続する。

【 0 2 0 8 】奇数番目のドレインドライバ 4 0 1 - 1、4 0 1 - 3、…は、液晶駆動電圧線 1 3 2 で転送されてくる液晶駆動電圧を基に液晶印加電圧に変換し、偶数番目のドレインドライバ 4 0 1 - 2、4 0 1 - 4、…は、液晶駆動電圧線 1 3 3 で転送されてくる液晶駆動電圧を基に液晶印加電圧に変換し、各々信号線 1 4 0 2 に出力する。

【 0 2 0 9 】ここで、奇数番目のドレインドライバ 4 0 1 - 1、4 0 1 - 3、…は、基準電圧線 1 2 7 で転送されるハイレベル基準電圧、基準電圧線 1 2 9 で転送されるロウレベル基準電圧を基準電圧として用い、偶数番目のドレインドライバ 4 0 1 - 2、4 0 1 - 4、…は、基準電圧線 1 2 8 で転送されるハイレベル基準電圧、1 3 0 で転送されるロウレベル基準電圧を基準電圧として用いる。

【 0 2 1 0 】1 5 0 2 はドレインドライバ 4 0 1 の出力するイネーブル信号であり、先に図 4 に示したイネーブル信号 4 1 0 と等価な信号である。1 5 0 3 はレベルシフトであり、前記イネーブル信号 1 5 0 2 の動作電圧レベルを次段ドレインドライバ 4 0 1 - 2 の動作領域にレベルシフトする。なお、レベルシフト 1 5 0 3 は全てのドレインドライバ 4 0 1 間に設ける。1 5 0 4 はレベルシフトされたイネーブル信号であり、ドレインドライバ 4 0 1 の入力信号となる。

【 0 2 1 1 】次に、図 1 6 に液晶パネル 1 4 0 3 の等価回路を示す。

【0212】図16において、D(1-1)、D(1-2)、…、D(1-k)は、ドレインドライバ401-1で駆動する信号線であり、D(2-1)はドレインドライバ401-2で駆動する信号線である。

【0213】この他は、先に図5に示した前記第1実施例に係る液晶パネルの等価回路と同様である。

【0214】また、液晶コントローラ102、レベルシフタ110、111、走査駆動回路118、直流基準電圧生成回路121、交流回路126、交流回路131の構成も前記第1実施例と同様である。

【0215】以下、本第2実施例に係る液晶表示装置の動作について説明する。

【0216】図14において、システムバス101で転送されるデジタル表示データは、液晶コントローラ102、レベルシフタ110、111、信号駆動回路1401を介して液晶印加電圧に変換され、液晶パネル1403に出力されて表示を行う。

【0217】この時、液晶コントローラ102、レベルシフタ110、111は、前記第1実施例と同様に動作する。また、走査駆動回路118、直流基準電圧生成回路121、交流回路126、交流回路131も、前記第1実施例と同様に動作する。

【0218】ここで、前記第1実施例と異なるのは液晶パネル1403に液晶印加電圧を供給する信号線1402が上方の一方から引き出されている点である。すなわち、信号駆動回路1401は、液晶パネル1403の一方に設けられている点である。

【0219】前記第1実施例と同様に、図15に示したドレインドライバ401は基準電圧がデジタル部及びデジタルアナログ変換回路409の何れも共通の低電圧で駆動する。よって、液晶に印加する電圧をある周期をもって交流化することと、水平ライン方向の全画素部に印加する電圧の極性が一致しないように制御する必要がある。

【0220】液晶に印加する電圧をある周期をもって交流化することは、前記第1実施例と同様に基準電圧を含む信号駆動回路1401に入力する各種信号を交流化することで可能となる。

【0221】一方、水平ライン方向の全画素部に印加する電圧の極性が一致しないように制御することに関しては、図1記載の実施例では、対向電極線123で転送する対向電圧VCOMに対して、上側の信号駆動ドライバ114が正電位方向の駆動電圧レベルで動作する時、下側の信号駆動ドライバ115が負電位方向の駆動電圧レベルで動作する様に制御することで可能であった。しかし、本第1実施例において、信号駆動回路1401は液晶パネル1403の一方に設けられていることから対向電極線123で転送する対向電圧VCOMに対して、正極正駆動電圧レベルと負極性の駆動電圧レベルで動作する様に各ドレインドライバ401を信号駆動回路140

1内で制御する。

【0222】この動作を図14、図15を用いて、説明する。

【0223】本第2実施例では、信号駆動回路1401に含まれる複数のドレインドライバ401を、液晶印加電圧のタイミングおよび駆動電圧レベルが、先に図8で示した電圧VDUを生成する様なドレインドライバ401と、電圧VDLを生成する様なドレインドライバ401に分離している。つまり、本第2実施例においては、奇数番目のドレインドライバ401-1、401-3、…、は信号駆動回路用制御バス112、液晶駆動電圧線132、基準電圧線127、129を共用する。一方、偶数番目のドレインドライバ401-2、401-4、…、は信号駆動回路用制御バス113、液晶駆動電圧線133、基準電圧線128、130を共有している。

【0224】そして、ある期間、信号駆動回路用制御バス112、液晶駆動電圧線132、基準電圧線127、129が対向電極線123の転送する対向電圧VCOMに対して、正極性を有する時、信号駆動回路用制御バス113、液晶駆動電圧線133、基準電圧線128、130は、対向電極線123の転送する対向電圧VCOMに対して、負の電位極性を有するように動作させればよい。これは、信号駆動回路1401のうち、奇数番目のドレインドライバ401-1、401-3、…、を前記第1実施例の信号駆動回路114と同様に、偶数番目のドレインドライバ401-2、401-4、…、を前記第1実施例の信号駆動回路115と同様に動作させることと同じである。

【0225】ここで、詳しく、信号駆動回路1401の動作を説明する。

【0226】ドレインドライバ401-1は、シフトクロック112-1によって、シフトレジスタ403-1は動作を開始し、順次ラッチ信号404-1を有効にし、ラッチ回路405-1内の記憶回路が表示データバス402で転送されてくるデジタル液晶表示データを順次ラッチする。

【0227】ラッチされたデータはデータバス406-1に出力される。ラッチ回路405-1内の記憶回路によるデータの取り込み動作が終了すると、つまり、シフトレジスタ403-1のシフト動作が終了するとシフトレジスタ403-1はイネーブル信号1502-1を有効にする。

【0228】ここで、前記第1実施例では、信号駆動回路114内のドレインドライバ401は全て同じ駆動電圧レベルで動作していたが、本第2実施例では奇数番目のドレインドライバ401-1、401-3、…、と偶数番目のドレインドライバ401-2、401-4、…、では、その出力する液晶印加電圧が対向電極線123の対向電圧VCOMに対して異なる極性となることから、その駆動電圧レベルも異ならなければならない。

【0229】そこで、イネーブル信号1502-1の駆動電圧レベルをレベルシフト1503-1で次段のドレインドライバ401-2の駆動電圧レベルにシフトする。

【0230】レベルシフト後のイネーブル信号1504-1は、その駆動電圧レベルがドレインドライバ401-2と同レベルであるから、イネーブル信号1504-1が有効になると、前記第1実施例のドレインドライバ401-2と同様に、内部のシフトレジスタ403-2が動作を開始する。

【0231】そして、ラッチ回路405-2は、ドレインドライバ401-1内のラッチ回路405-1でラッチした後のデータを順次ラッチする。

【0232】次に、ラッチ回路405-2内の記憶回路によるデータの取り込み動作が終了するとイネーブル信号1502-2を有効にし、次段のドレインドライバ401はその駆動電圧レベルをドレインドライバ401-1と同じにする。以下、順次同様な動作を行う。信号駆動回路1401内の各ドレインドライバ401が本動作を行うことで1水平ライン分の液晶表示データを取り込むことが可能となる。

【0233】この後、さらに、ラッチ回路407、デジタルアナログ変換回路409は、前記第1実施例と同様に動作し、信号線1402に液晶印加電圧を出力する。

【0234】ところで、本第2実施例に係る液晶パネル1403の内部構成は、前記第1実施例の液晶パネル120と同等であり、異なる部分は、先程説明したように、信号線1402がパネルの一方から引き出されている構造をとってところである。よって、液晶パネル1403内部の各画素部501に電圧が印加される様子は、前記第1実施例と同じとなる。

【0235】ただし、先に説明したように、本第2実施例において、奇数番目のドレインドライバ401-1、401-3、…と偶数番目のドレインドライバ401-2、402-4、…は、対向電極電圧VCOMに対して、逆極性で動作している。よって、図11記載の液晶印加電圧VDUが奇数番目のドレインドライバ401-1、401-3、…が出力する電圧の場合、液晶印加電圧VDLは偶数番目のドレインドライバ401-2、402-4、…が出力する電圧となる。

【0236】ここで、先に前記第1実施例において図12を用いて示したライン交流を行う場合、対向電極電圧VCOMに対する画素部に印加された電圧の極性は、図17に示すようになる。図中+は正電位、-は負電位の電圧がそれぞれ印加されていることを示す。

【0237】すなわち、信号線1502の内、ドレインドライバ401-1の制御する信号線をD(1-1)、D(1-2)、…、D(1-k)とし(ただし、kは自然数であり、ドレインドライバ401の制御する信号線

数である)、ドレインドライバ401-2の制御する信号線をD(2-1)、D(2-2)、…、D(2-k)とすと、偶数フレームにおいて、走査線G(1)で制御する水平ライン、且つ、ドレインドライバ401-1の制御する画素部には、正極性の電圧が印加されることになり、ドレインドライバ401-2の制御する画素部には、負極性の電圧が印加されることになる。同様に他の奇数番目のドレインドライバ401-3、401-5、…で制御する画素部には、正極性の電圧が印加され、偶数番目のドレインドライバ401-4、401-6、…で制御する画素部には、負極性の電圧が印加される。

【0238】走査線G(2)で制御する水平ライン中の、奇数番目のドレインドライバ401-1、401-3、…で制御する画素部には、負極性の電圧が印加され、偶数番目のドレインドライバ401-2、401-4、…で制御する画素部には、正極性の電圧が印加される。

【0239】また、奇数フレームでは各画素部に印加される電圧極性は、偶数フレームで各画素部に印加されている電圧極性の逆極性となる。偶数フレームと奇数フレームで印加される電圧極性はこれを繰り返すことで、液晶の劣化を防止される。

【0240】このように、本第2実施例によっても、水平方向の各画素部が選択状態の時、対向電極123、走査線G(1)、G(2)等の電流方向が奇数番目のドレインドライバ401-1、401-3、…、と偶数番目のドレインドライバ401-2、401-4、…、とで制御する画素部では異なるように制御出来ることから、各電極への電流集中を防ぐことが出来る。

【0241】したが、前記第1実施例と同様に、対向電極線123および走査線119の電圧歪を低減出来ることから、液晶503、付加容量504の液晶印加電圧実効値が変動することなく、高品質な表示を得ることが出来る。また、液晶の劣化を防止することが出来る。

【0242】以下、本発明に係る液晶表示装置の第3の実施例について説明する。

【0243】まず、図18に、本第3実施例に係る液晶表示装置の構成図を示す。

【0244】図18において、1801、1802は信号駆動回路であり、各々信号駆動回路制御バス112、113で転送されるデジタル液晶表示データをタイミング信号によって取り込みデジタル液晶表示データに対応した液晶印加電圧に変換する。1803、1804は信号線であり、各々信号駆動回路1801、1802で生成した液晶印加電圧を転送する。1805は基準直流電圧生成回路であり、本第3実施例の液晶表示装置を動作させるための基準となる各種直流電圧を生成する。1806は信号駆動回路用直流基準電圧線である。1807は交流回路である。1808は上側の信号駆動回路1801を駆動するための液晶駆動部基準電圧を転送する基

準電圧線であり、同様に 1809 は下側の信号駆動回路 1802 を駆動するための液晶駆動部基準電圧を転送する基準電圧線である。

【0245】次に、図 19 に、信号駆動回路 1801 の構成を示す。なお、液晶パネル 120 の下側の信号駆動回路 1802 も同様の構成を有している。

【0246】図 19 において、1901-1、1901-2、…、はドレインドライバであり、信号駆動回路 1801 は複数のドレインドライバ 1901 で構成されている。ドレインドライバ 1901 はデジタル表示データ 10 を入力して、液晶印加電圧に変換し、出力する。

【0247】信号駆動回路用制御バス 112 のうち、402 は液晶表示データバスである。また、201-1 はシフトクロックであり、201-2 はラッチクロックである。シフトクロック 201-1 は液晶表示データバス 402 で転送するデジタル液晶表示データに同期して動作する。ラッチクロック 201-2 は 1 水平ライン分のデジタル液晶表示データが信号駆動回路 1801、1802 に転送された後、有効となる。1902 はレベルシフタであり、データバス 408 で転送されるデジタルデータ 20 の電圧振幅レベルを変換する。1903 は変換後のデジタルデータを転送するデータバスである。

【0248】1904 はデジタルアナログ変換回路であり、データバス 1903 で転送されるデジタルデータを、基準となる交流液晶印加電圧線 132 で転送されてくる交流電圧を基に液晶印加電圧に変換する。1803 は信号線であり、デジタルアナログ変換回路 1904 で生成する液晶印加電圧を転送する。

【0249】ドレインドライバ 1901 において、シフトレジスタ 403、ラッチ回路 405、ラッチ回路 407 のデジタル回路部は基準電圧線 127 で転送するハイレベル基準電圧と基準電圧線 129 で転送するロウレベル基準電圧で駆動し、レベルシフタ 1902、デジタルアナログ変換回路 1904 は基準電圧線 127 で転送するハイレベル基準電圧と基準電圧線 1808 で転送する液晶駆動部基準電圧で駆動する。

【0250】次に、図 20 に、交流回路 1807 の構成を示す、図 20 において、2001、2002 は何れも信号駆動回路用直流基準電圧線 1806 内の直流電圧線であり、本交流回路 1807 の出力する交流電圧の基準となる直流電圧を転送する。

【0251】2003、2004 は電圧セクタであり、何れも入力する直流電圧を交流化する。2005、2006 は各々電圧セクタ 2003、2004 の出力する交流電圧を転送する電圧線である。2007、2008 は増幅回路であり、各々電圧セクタ 2003、2004 の出力する交流電圧の駆動能力を高める役割をする。

【0252】なお、液晶コントローラ 102、レベルシフタ 110、111、走査駆動回路 118、交流回路 1 50

31 の構成を前記第 1 実施例と同様である。

【0253】以下、本第 3 実施例に係る液晶表示装置の動作について説明する。

【0254】図 18 において、システムバス 101 で転送されるデジタル表示データは、液晶コントローラ 102、レベルシフタ 110、111、信号駆動回路 1801 を介して液晶印加電圧に変換され、液晶パネル 120 に出力されて表示を行う。この時、液晶コントローラ 102、レベルシフタ 110、111、走査駆動回路 118、交流回路 131 は、前記第 1 実施例と同様に動作する。

【0255】ここで、本第 3 実施例が、前記第 1 実施例と異なる点は、信号駆動回路 1801 を構成する図 19 記載のドレインドライバ 1901 が、前記第 1 実施例のドレインドライバ (図 4、401) と異なる点である。つまり、前記第 1 実施例に係るドレインドライバ 401 では、シフトレジスタ 403、ラッチ回路 405、ラッチ回路 407 のデジタル回路部及びデジタルアナログ変換回路 409 の何れも共通の基準電圧で動作しているが、本第 3 実施例のドレインドライバ 1901 では、デジタル回路部とデジタルアナログ変換回路 1904 が異なる基準電圧で動作する。

【0256】このために、本第 3 実施例では、信号駆動回路 1801 に基準電圧を供給する基準直流電圧生成回路 1805、交流回路 1807 の構成が、前記基準直流電圧生成回路 121、交流回路 126 とは異なる。

【0257】さて、信号駆動回路 1801 は、複数のドレインドライバ 1901 で構成されている。しかし、シフトレジスタ 403、ラッチ回路 405、ラッチ回路 407 は基準電圧線 127 で転送されるロウレベル基準電圧と、基準電圧線 129 で転送されるハイレベル基準電圧で動作する。この動作は、前記第 1 実施例と同様である。

【0258】一方、液晶印加電圧を生成するデジタルアナログ変換回路 1904 は、基準電圧線 127 で転送されるロウレベル基準電圧と、基準電圧線 1808 で転送される液晶駆動部基準電圧で動作する。すなわち、本第 3 実施例のドレインドライバ 1901 はデジタル部とデジタルアナログ変換回路 1904 の駆動電圧が異なる。したがって、この間に電圧変換を行うレベルシフト回路 1902 を設ける必要がある。

【0259】レベルシフト回路 1902 は、ラッチ回路 407 でラッチし、データ線 408 で転送されるデータを電圧変換し、電圧変換後のデータをデータ線 1903 を介してデジタルアナログ変換回路 1904 に出力する。デジタルアナログ変換回路 1904 では、前記第 1 実施例に係るデジタルアナログ変換回路 409 と同様に液晶駆動電圧線 132 で転送される液晶駆動電圧によって、デジタルデータに対応した液晶印加電圧を生成し信号線 1803 に出力する。この動作は前記第 1 実施例と

同様である。

【0260】次に、基準電圧を生成する交流回路1807について説明する。

【0261】図20において、交流回路1807において、基準電圧線127、128、129、130で転送する交流基準電圧を生成する回路は前記第1実施例と同様である。

【0262】しかし、本第3実施例では、基準電圧線1808、1809で転送する液晶駆動部基準電圧を生成する必要がある。

【0263】基準電圧線1808で転送する交流化された液晶駆動部基準電圧は、電圧セクタ2003と増幅回路2007で生成され、基準電圧線1809で転送する交流化された基準電圧は、電圧セクタ2004と増幅回路2008で生成される。この時、液晶交流化信号109が'1'のとき、基準電圧線1808で転送される電圧は信号駆動回路用基準電圧線2001で転送される電圧であり、基準電圧線1809で転送される電圧が信号駆動回路用基準電圧線2002で転送される電圧となる。

【0264】また、液晶交流化信号109が'0'のとき、基準電圧線1808で転送される電圧は信号駆動回路用基準電圧線2002で転送される電圧であり、基準電圧線1809で転送される電圧は信号駆動回路用基準電圧線2001で転送される電圧となる。

【0265】よって、基準電圧線1808で転送する電圧を、基準電圧線127、129で転送する電圧と同相とし、基準電圧線1809で転送する電圧を、基準電圧線128、130で転送する電圧と同相とすることができる。これによって、直流電圧2001、2002を適当に定めれば、液晶駆動電圧線132、133で転送する液晶駆動電圧は、基準電圧線1808、1809の転送する液晶駆動部基準電圧の駆動電圧レベル内のものとなる。

【0266】このように交流回路1807を用いることで、図1記載の実施例と同様の駆動が信号駆動回路1801、1802を用いて実現できる。

【0267】ここで、液晶パネル120の内部構成は、前記第1実施例と同様であり、信号駆動回路1801、1802の構成も液晶パネル120の上下に構成していることから、液晶印加電圧の駆動波形は、前記第1実施例(図8、図12)の駆動波形と同様となる、また、デジタルアナログ変換回路1904のハイレベル駆動電圧は基準電圧線1808、1809で転送される液晶駆動部基準電圧であるから図8、図12の基準電圧線129の表す波形は、基準電圧線1808の表す波形であり、基準電圧線130の表す波形は基準電圧線1809の表す波形となる。

【0268】よって、図1記載の実施例と同様の駆動を実現できる。

【0269】よって、液晶パネル120には前記第1実施例と同様に電圧が印加されるので、高品質な表示を行うことができる。なお、前記第2実施例に、本第3信号駆動回路を構成するドレインドライバ1901を用いるようにしてもよい。

【0270】以下、本発明に係る液晶表示装置の第4の実施例について説明する。

【0271】本実施例は、入力する表示データがアナログ値である場合についてのものである。

10 【0272】図21に、本第4実施例に係る液晶表示装置の構成を示す。

【0273】図21において、2101はシステムバスであり、アナログ表示データと同期信号を転送する。本実施例において、システムバス2101で転送する表示データと同期信号は、CRT表示装置を表示するために転送する表示データと同期信号に準拠している線順次走査用の信号とする。

【0274】2102は液晶コントローラであり、システムバス2101で転送されるアナログ表示データと同期信号を液晶表示装置を駆動するアナログ液晶表示データとタイミング信号に変換する。

【0275】2103、2104は信号駆動回路制御バスであり、何れも液晶コントローラ2102によって、信号駆動回路用に変換されたアナログ液晶表示データとタイミング信号を転送する。2105、2106は極性反転回路であり、2107、2108は極性反転後のアナログ表示データと同期信号を転送する信号駆動回路制御バスである。2109、2110はレベルシフタであり、各々信号駆動回路制御バス2107、2108で転送されるアナログ液晶表示データとタイミング信号の電圧レベルを信号駆動回路の動作領域にシフトする。2111、2112は信号駆動回路制御バスであり、レベルシフタ2109、2110で電圧レベルの変換されたアナログ液晶表示データとタイミング信号を転送する。2113、2114は信号駆動回路であり、各々信号駆動回路制御バス2111、2112で転送されるアナログ液晶表示データをタイミング信号によって取り込み、液晶印加電圧に変換する。2115、2116は信号線であり、各々信号駆動回路2113、2114で生成した液晶印加電圧を転送する。2117は直流基準電圧生成回路であり、本液晶表示装置を動作させるための基準となる各種直流電圧を生成する。

【0276】次に、図22に信号駆動回路2113の構成を示す。

【0277】なお、液晶パネル120の下側の信号駆動回路2114も同様の構成である。

【0278】図22において、2201-1、2201-2、…、はドレインドライバであり、信号駆動回路2113は複数のドレインドライバ2201で構成する。ドレインドライバ2201はアナログ表示データを入力

して、液晶印加電圧とし、出力する構成を取っている。
 2202はシフトクロックであり、2203はラッチクロックである。シフトクロック2202は液晶表示データバス2204で転送するデジタル液晶表示データに同期しており、ラッチクロック2203は1水平ライン分のアナログ液晶表示データが信号駆動回路2113、2114に転送された後、有効となる。2204はアナログ表示データを転送する液晶表示データバスである。2205はシフトレジスタであり、2206はラッチ信号である。シフトレジスタ2205はシフトクロック2202を入力して、シフト動作を行なう。このシフト動作によってラッチ信号2206は順次有効となる。2207はサンプル回路であり、液晶表示データバス402で転送されてくるアナログ液晶表示データをラッチ信号2206により、順次ラッチする。2208はデータバスであり、サンプル回路2207でサンプリングしたデータを転送する。2209はホールド回路であり、データバス2208で転送されるデータをラッチクロック2203で同時に取り込みホールドし、信号線2215で液晶印加電圧として転送する。2210はイネーブル信号であり、前記第1実施例のイネーブル信号410と同等の動作をする。ドレインドライバ2201において、シフトレジスタ2205、サンプル回路2207、ホールド回路2209の何れも基準電圧線127で転送するハイレベル基準電圧と基準電圧線129で転送するロウレベル基準電圧で駆動する。

【0279】以下、本第4実施例に係る駆層表示装置の動作について説明する。

【0280】図21において、システムバス2101で転送されるアナログ表示データは、液晶コントローラ2102、極性反転回路2105、2106、レベルシフタ2109、2110、信号駆動回路2113、2114を介して液晶印加電圧に変換され、液晶パネル120に出力されて表示を行う。液晶コントローラ2102では、システムバス2101で入力するアナログ表示データを信号駆動回路2113、2114に入力するインターフェースと液晶パネル120の画素構成に沿う様に同期信号で変換し、信号駆動回路用制御バス2103、2104を介して出力する。

【0281】ここで、信号駆動回路用制御バス2103、2104で転送するアナログデータ及びタイミング信号の駆動電圧レベルと信号駆動回路2113、2114の駆動電圧レベルが異なるといった問題がある。

【0282】また、本実施例の信号駆動回路2113、2114はアナログ表示データをサンプリングし、その保持した電圧を液晶印加電圧にして出力する構成をとっている。

【0283】一方、液晶は対向電圧VCOMに対して、極性に関係なく低電位電圧の場合輝度が高く、高電位電圧の場合輝度が低くなる特性を有する。

【0284】そこで、転送する正極性のみの電圧でその輝度情報を有しているアナログ表示データを、液晶交流化信号109に応じて極性変換する。また、レベルシフタで電圧レベルを対応する信号駆動回路の動作領域にシフトする。レベル変換されたアナログ表示データとタイミング信号は信号駆動回路用制御バス2111、2112を介して、各々信号駆動回路2113、2114に入力される。

【0285】信号駆動回路2113、2114では、前記信号駆動用制御バス2111、2112を液晶印加電圧に変換する。この様子を図22を用いて説明する。

【0286】図22において、ドレインドライバ2201-1はシフトクロック2202によって、シフトレジスタ2205-1は動作を開始し、順次ラッチ信号2206-1を有効にする。有効になったラッチ信号2206-1に対応したラッチ回路2207-1内の記憶回路が表示データバス2204で転送されて来るアナログ液晶表示データを順次ラッチする。ラッチされたアナログデータはデータバス2208-1に出力される。ラッチ回路2207-1内の記憶回路によるデータの取り込み動作が終了すると、つまり、シフトレジスタ2205-1のシフト動作が終了するとシフトレジスタ2205-1はイネーブル信号2210-1を有効にする。イネーブル信号2210-1が有効になると、次段のドレインドライバ2201-2内のシフトレジスタ2205-2が動作を開始する。

【0287】そして、ラッチ回路2207-2は、ドレインドライバ2201-1内のラッチ回路2207-1でラッチした後のデータを順次ラッチする。また、ラッチ回路2207-2内の記憶回路によるデータの取り込み動作が終了するとイネーブル信号2210-2を有効にし、次段のドレインドライバ2201がドレインドライバ2201-1、2201-2と同様の動作をする。信号駆動回路内の各ドレインドライバが本動作を行うことで1水平ライン分のアナログ液晶表示データを取り込みことが可能となる。

【0288】各ドレインドライバ2201内のラッチ回路2207に1水平ライン分の液晶表示データが取り込まれた後にラッチクロック2203が有効となり、各ドレインドライバ2201のデータバス2208で転送されるラッチ回路2207で記憶されたデータが1水平ライン分同じにラッチ回路2209に記憶される。

【0289】データがラッチ回路2209に記憶された後に、各ドレインドライバ2201のシフトレジスタ2205、ラッチ回路2207は次ラインのデータを取り込むために同様の動作を繰り返す。

【0290】ラッチ回路2209は内部に増幅回路を有しており、ラッチしたアナログデータの駆動能力を向上させて液晶印加電圧にして信号線2115に出力する。

【0291】さて、本第4実施例において、液晶パネル

120の内部構造は、前記第1実施例と同様であり、信号駆動回路2113、2114の構成も液晶パネル120の上下に構成していることから、液晶印加電圧の駆動波形等は前記第1実施例（図8、図11）と同様である。

【0292】すなわち、前記第1実施例と同様の駆動が信号駆動回路2113、2114を用いて実現できる。よって、高品質な表示を得ることが出来る。

【0293】なお、前記第2実施例に係る液晶パネルの信号線が上方または下方の一方から引き出された液晶表示装置に、本実施例に係るドレインドライバ2201を適用するようにしてもよい。

【0294】以上、本発明に係る液晶表示装置の実施例を説明した。このように、本実施例によれば、低耐電圧ドレインドライバを用いて高品質な表示を実現することができる。

【0295】なお、最後に、前記第1実施例を例にとり、各電圧の経路を図24に、示しておく。図24において、3301は、下側の信号駆動回路115を構成するドレインドライバである。この図のように、液晶交流信号109に同期して、交流回路126がスイッチング動作を行うことにより、レベルシフタ110、111、上側の信号駆動回路114を構成するドレインドライバ401と下側の信号駆動回路115を構成するドレインドライバ3301が用いる電圧127～130が交流化される。

【0296】次に、前記第1、2、3実施例に係る液晶表示装置を用いた情報書き装置について説明する。

【0297】図24に、この情報処理装置の構成を示す。。

【0298】図23において、2301はパーソナルコンピュータ等の情報処理装置の本体であり、2302は本発明の液晶表示装置である。2303は中央演算処理装置であり、2304は主メモリであり、2305はシステムバスである。2306は表示コントローラであり、2307は表示メモリであり、2308は表示バスである。2309は表示データと同期信号を転送するシステムバスである。

【0299】中央演算処理装置2303は主メモリ2304に記憶したプログラムを読みだし、演算処理を行い、システムバス2305、表示コントローラ2306を介して、表示データを表示メモリ2307に書き込む。表示コントローラ2306は表示メモリ2307に記憶した表示データを読みだし、読みだした表示データと同期信号をシステムバス2309を介して、液晶表示装置2302に出力し表示を行う。

【0300】以下、本実施例に係る液晶表示装置の構造について説明する。

【0301】図25は、本実施例に係る、薄膜TFTを用いたアクティブマトリックス方式の液晶パネルの一

画素とその周辺を示す平面図、図26は図25の3-3切断線における断面を示す図、図27は図25の4-4切断線における断面図である。

【0302】図25に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0303】図26に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SiO₂が設けられている。

【0304】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0305】《マトリクス周辺の概要》図28は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図29はその周辺部を更に誇張した平面を、図30は図28及び図27のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図31は図26の断面を中央にして、左側に図39の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図32は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0306】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図28～図39は後者の例を示すもので、図28、図29の両図とも上下基板SUB1、SUB2の切断後を、図39は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群T

g, Td (添字略) が存在する (図で上下辺と左辺の) 部分はそれらを露出するように上側基板 SUB 2 の大きさが下側基板 SUB 1 よりも内側に制限されている。端子群 Tg, Td はそれぞれ後述する走査回路接続用端子 GTM、映像信号回路接続用端子 DTM とそれらの引出配線部を集積回路チップ CHI が搭載されたテープキャリアパッケージ TCP (図 47、図 48) の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージ TCP の配列ピッチ及び各パッケージ TCP における接続端子ピッチに表示パネル PNL の端子 DTM, GTM を合わせるためである。

【0307】透明ガラス基板 SUB 1、SUB 2 の間にはその縁に沿って、液晶封入口 INJ を除き、液晶 LC を封止するようにシールパターン SL が形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板 SUB 2 側の共通透明画素電極 ITO 2 は、少なくとも一箇所において、本実施例ではパネルの 4 角で銀ペースト材 AGP によって下部透明ガラス基板 SUB 1 側に形成されたその引出配線 INT に接続されている。この引出配線 INT は後述するゲート端子 GTM、ドレイ

ン端子 DTM と同一製造工程で形成される。

【0308】配向膜 ORI 1、ORI 2、透明画素電極 ITO 1、共通透明画素電極 ITO 2、それぞれの層は、シールパターン SL の内側に形成される。偏光板 POL 1、POL 2 はそれぞれ下部透明ガラス基板 SUB 1、上部透明ガラス基板 SUB 2 の外側の表面に形成されている。液晶 LC は液晶分子の向きを設定する下部配向膜 ORI 1 と上部配向膜 ORI 2 との間でシールパ

ターン SL で仕切られた領域に封入されている。下部配向膜 ORI 1 は下部透明ガラス基板 SUB 1 側の保護膜 PSV 1 の上部に形成される。

【0309】この液晶表示装置は、下部透明ガラス基板 SUB 1 側、上部透明ガラス基板 SUB 2 側で別個に種々の層を積み重ね、シールパターン SL を基板 SUB 2 側に形成し、下部透明ガラス基板 SUB 1 と上部透明ガラス基板 SUB 2 とを重ね合わせ、シール材 SL の開口部 INJ から液晶 LC を注入し、注入口 INJ をエポキシ樹脂などで封止し、上下基板を切断することによって

組み立てられる。

【0310】《薄膜トランジスタ TFT》次に、図 25、図 26 に戻り、TFT 基板 SUB 1 側の構成を詳しく説明する。薄膜トランジスタ TFT は、ゲート電極 GT に正のバイアスを印加すると、ソースドレイン間のチャンネル抵抗が小さくなり、バイアスを零にすると、チャンネル抵抗は大きくなるように動作する。

【0311】各画素には複数 (2 つ) の薄膜トランジスタ TFT 1、TFT 2 が冗長して設けられる。薄膜トランジスタ TFT 1、TFT 2 のそれぞれは、実質的に同

一サイズ (チャンネル長、チャンネル幅が同じ) で構成され、ゲート電極 GT、ゲート絶縁膜 GI、i 型 (真性、intrinsic、導電型決定不純物がドーピングされていない) 非晶質シリコン (Si) からなる i 型半導体層 AS、一対のソース電極 SD 1、ドレイン電極 SD 2 を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0312】《ゲート電極 GT》ゲート電極 GT は走査信号線 GL から垂直方向に突出する形状で構成されている (T 字形状に分岐されている)。ゲート電極 GT は薄膜トランジスタ TFT 1、TFT 2 のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタ TFT 1、TFT 2 のそれぞれのゲート電極 GT は、一体に (共通のゲート電極として) 構成されており、走査信号線 GL に連続して形成されている。本例では、ゲート電極 GT は、単層の第 2 導電膜 g 2 で形成されている。第 2 導電膜 g 2 としては例えばスパッタで形成されたアルミニウム (Al) 膜が用いられ、その上には Al の陽極酸化膜 AOF が設けられている。

【0313】このゲート電極 GT は i 型半導体層 AS を完全に覆うよう (下方からみて) それより大き目に形成され、i 型半導体層 AS に外光やバックライト光が当たらないよう工夫されている。

【0314】《走査信号線 GL》走査信号線 GL は第 2 導電膜 g 2 で構成されている。この走査信号線 GL の第 2 導電膜 g 2 はゲート電極 GT の第 2 導電膜 g 2 と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線 GL 上にも Al の陽極酸化膜 AOF が設けられている。

【0315】《絶縁膜 GI》絶縁膜 GI は、薄膜トランジスタ TFT 1、TFT 2 において、ゲート電極 GT と共に半導体層 AS に電界を与えるためのゲート絶縁膜として使用される。絶縁膜 GI はゲート電極 GT および走査信号線 GL の上層に形成されている。絶縁膜 GI としては例えばプラズマ CVD で形成された窒化シリコン膜が選ばれ、1200~2700 Å の厚さに (本実施例では、2000 Å 程度) 形成される。ゲート絶縁膜 GI は図 39 に示すように、マトリクス部 AR の全体を囲むように形成され、周辺部は外部接続端子 DTM, GTM を露出するよう除去されている。絶縁膜 GI は走査信号線 GL と映像信号線 DL の電氣的絶縁にも寄与している。

【0316】《i 型半導体層 AS》i 型半導体層 AS は、本例では薄膜トランジスタ TFT 1、TFT 2 のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200 Å の厚さに (本実施例では、2000 Å 程度の膜厚) で形成される。層 d 0 はオーミッ

クコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電膜d2(d3)が存在するところのみに残されている。

【0317】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0318】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0319】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0320】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0321】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する(いわゆるバリア層の)目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0322】第3導電膜d3はAlのスパッタリングで3000~5000Åの厚さに(本実施例では、4000Å程度)形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバーレッジを良くする)働きがある。

【0323】第2導電膜d2、第3導電膜d3を同じマ

スクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0324】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0325】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0326】保護膜PSV1は図39に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図39に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0327】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図25に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0328】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され(いわゆるブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つま

り、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0329】透明画素電極ITO1のラビング方向の根本側のエッジ部分(図25右下部分)も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0330】遮光膜BMは図29に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図25に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図29～図32に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0331】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0332】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0333】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0334】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)に应答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定される。なお、共通透明画素電極ITO2の平面形状は図28、図29を参照されたい。

【0335】《保持容量素子Caddの構造》透明画素電

極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図27からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子(静電容量素子)Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0336】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0337】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0338】《ゲート端子部》図33は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図30下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0339】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0340】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、AL層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0341】ゲート端子GTMは酸化珪素SiO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、

更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0342】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図30に示すように上下に複数本並べられ端子群Tg（図29、図30）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0343】《ドレイン端子DTM》図34は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図30右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0344】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図30に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0345】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものであ

る。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0346】マトリクス部からドレイン端子部DTMまでの引出配線は図31の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0347】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図35に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0348】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0349】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0350】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0351】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための直流基準電圧生成回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に交換する液晶コントローラ等、その他の部分を含む回路である。

【0352】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTF Tがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 ΔVg の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0353】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTF Tのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される容量、 ΔVlc は ΔVg による画素電極電位の変化分を表わす。この変化分 ΔVlc は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放

電時間を長くする作用もあり、薄膜トランジスタ T F T がオフした後の映像情報を長く蓄積する。液晶 L C に印加される直流成分の低減は、液晶 L C の寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【 0 3 5 4 】 前述したように、ゲート電極 G T は i 型半導体層 A S を完全に覆うよう大きくされている分、ソース電極 S D 1、ドレイン電極 S D 2 とのオーバーラップ面積が増え、従って寄生容量 C g s が大きくなり、中点電位 V l c はゲート（走査）信号 V g の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 C a d d を設けることによりこのデメリットも解消することができる。

【 0 3 5 5 】 保持容量素子 C a d d の保持容量は、画素の書込特性から、液晶容量 C p i x に対して 4 ~ 8 倍（ $4 \cdot C p i x < C a d d < 8 \cdot C p i x$ ）、寄生容量 C g s に対して 8 ~ 3 2 倍（ $8 \cdot C g s < C a d d < 3 2 \cdot C g s$ ）程度の値に設定する。

【 0 3 5 6 】 保持容量電極線としてのみ使用される初段の走査信号線 G L（Y₀）は共通透明画素電極 I T O 2（V_{com}）と同じ電位にする。図 3 0 の例では、初段の走査信号線は端子 G T 0、引出線 I N T、端子 D T 0 及び外部配線を通じて共通電極 C O M に短絡される。或いは、初段の保持容量電極線 Y₀ は最終段の走査信号線 Y_{e n d} に接続、V_{com} 以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路 V から 1 つ余分に走査パルス Y₀ を受けるように接続してもよい。

【 0 3 5 7 】 《液晶表示モジュールの全体構成》図 3 6 は、液晶表示モジュール M D L の各構成部品を示す分解斜視図である。

【 0 3 5 8 】 S H D は金属板から成る枠状のシールドケース（メタルフレーム）、L C W その表示窓、P N L は液晶表示パネル、S P B は光拡散板、M F R は中間フレーム、B L はバックライト、B L S はバックライト支持体、L C A は下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュール M D L が組み立てられる。

【 0 3 5 9 】 モジュール M D L は、シールドケース S H D に設けられた爪 C L とフック F K によって全体が固定されるようになっている。

【 0 3 6 0 】 中間フレーム M F R は表示窓 L C W に対応する開口が設けられるように枠状に形成され、その枠部分には拡散板 S P B、バックライト支持体 B L S 並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【 0 3 6 1 】 下側ケース L C A はバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管 B L に対応して反射山 R M が形成されている。

【 0 3 6 2 】 《表示パネル P N L と駆動回路基板 P C B 1》図 3 7 は、図 2 8 等に示した表示パネル P N L に映

像信号駆動回路 H e、H o と垂直走査回路 V と電源回路を接続した状態を示す上面図である。

【 0 3 6 3 】 C H I は表示パネル P N L を駆動させる駆動 I C チップ（下側の 3 個は垂直走査回路側の駆動 I C チップ、左右の 6 個ずつは映像信号駆動回路側の駆動 I C チップ）である。T C P は図 3 8、図 3 9 で後述するように駆動用 I C チップ C H I がテープ・オートメィド・ボンディング法（T A B）により実装されたテープキャリアパッケージ、P C B 1 は上記 T C P やコンデンサ C D S 等が実装された駆動回路基板で、4 つに分割されている。F G P はフレームグランドパッドであり、シールドケース S H D に切り込んで設けられたバネ状の破片 F G が半田付けされる。F C は下側の駆動回路基板 P C B 1 と左側の駆動回路基板 P C B 1、および下側の駆動回路基板 P C B 1 と右側の駆動回路基板 P C B 1、上側の駆動回路基板 P C B 1 と左側の駆動回路基板 P C B 1 および上側の駆動回路基板 P C B 1 と右側の駆動回路基板 P C B 1 とを電気的に接続するフラットケーブルである。フラットケーブル F C としては図に示すように、複数のリード線（りん青銅の素材に S n 鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【 0 3 6 4 】 中間フレーム M F R に保持・収納される液晶表示部 L C D の上側の駆動回路基板 P C B 1 は、コントロール I C の T C O N、レベルシフタ I C、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板 P C B 1 には、1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からの C R T（陰極線管）用の情報を T F T 液晶表示装置用の情報に変換する回路を含む回路 S U P が搭載されている。C J は外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【 0 3 6 5 】 《T C P の接続構造》図 3 8 は走査信号駆動回路 V や映像信号駆動回路 H e、H o を構成する、集積回路チップ C H I がフレキシブル配線基板に搭載されたテープキャリアパッケージ T C P の断面構造を示す図であり、図 4 8 はそれを液晶表示パネルの、本例では映像信号回路用端子 D T M に接続した状態を示す要部断面図である。

【 0 3 6 6 】 同図において、T T B は集積回路 C H I の入力端子・配線部であり、T T M は集積回路 C H I の出力端子・配線部であり、例えば C u から成り、それぞれの内側の先端部（通称インナーリード）には集積回路 C H I のボンディングパッド P A D がいわゆるフェースダウンボンディング法により接続される。端子 T T B、T T M の外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップ C H I の入力及び出力に対応し、半田付け等により C R T / T F T 変換回路・電源回路 S U P に、異方性導電膜 A C F によって液晶表示パネル P

NLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0367】BF1はポリイミド等からなるベースフィルムであり、SR5は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0368】以上のように、本発明の実施例によれば、ドレインドライバが、液晶の対向電圧に対して正極性、負極性電圧を同時に駆動できる駆動耐圧を持たない低耐圧ドレインドライバであっても、1水平ライン上の各画素部に正極性と負極性の電圧を均等に印加することができるので、対向電極等への電流集中を防止することができ、対向電圧の電圧歪及び前段の走査線の電圧歪が低減出来るので、高品質表示を実現できる効果がある。

【0369】また、本発明の実施例によれば、液晶パネルの信号線が上方及び下方の一方から引出されている場合でも、1水平ライン上の各画素部に正極性と負極性の電圧を均等に印加することができるので、対向電極等への電流集中を防止することができ、高品質表示を実現できる効果がある。

【0370】さらに、本発明の実施例によればに、信号駆動回路がアナログ表示データを入力し、かつ、液晶の対向電圧に対して正極性、負極性電圧を同時に駆動できる駆動耐圧を持たない低耐圧ドレインドライバであっても、1水平ライン上の各画素部に正極性と負極性の電圧を均等に印加することができるので、対向電極等への電流集中を防止することができ、高品質表示を実現できる効果がある。

【0371】また、高品質表示を実現しつつ、低耐圧ドレインドライバが使用できることで、ドレインドライバのチップサイズを小さくする事が可能となり、液晶表示装置の駆動回路及び液晶表示装置の低コスト化が図れる効果がある。

【0372】また、低耐圧でドレインドライバを構成することで、多色化等を行なう為に回路数を増加させてもコスト増加の割合を抑える効果がある。

【0373】また、本発明の実施例によればドレインドライバは外部電源から液晶印加電圧の基準となる液晶駆動電圧を入力しているため液晶の電圧-輝度特性に沿った液晶印加電圧を生成できるので、良好な階調特性を有する液晶表示装置を実現できる。

【0374】また、本発明の実施例によればのドレインドライバは高い電流駆動能力を有する液晶印加電圧を生

成する機能を有するため、液晶パネルの高精細化、大画面化に容易に対応できる。

【0375】また、本発明の実施例によれば、液晶表示装置を採用した情報処理装置の低コスト化が図れる効果がある。

【0376】

【発明の効果】以上のように、本発明によれば、低耐電圧のドレインドライバを用いた液晶表示装置であって、より画質の優れた液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る液晶表示装置の構成を示すブロック図である。

【図2】本発明の第1実施例に係るレベルシフトの構成を示すブロック図である。

【図3】本発明の第1実施例に係るレベルシフトの動作を示すタイミングチャートである。

【図4】本発明の第1実施例に係る信号駆動回路の構成を示すブロック図である。

【図5】本発明の第1実施例に係る液晶パネルの等価回路を示す説明図である。

【図6】本発明の第1実施例に係る第1の交流回路の構成を示すブロック図である。

【図7】本発明の第1実施例に係る第2の交流回路の構成を示すブロック図である。

【図8】本発明の第1実施例における液晶パネルのフレーム交流動作時の駆動波形を示すタイミングチャートである。

【図9】本発明の第1実施例に係る液晶の電圧輝度特性を示した説明図である。

【図10】本発明の第1実施例におけるフレーム交流動作時の液晶パネルの電圧印加極性を示す説明図である。

【図11】本発明の第1実施例に係るデジタルアナログ変換回路の構成を示すブロック図である。

【図12】本発明の第1実施例における液晶パネルのライン交流動作時の駆動波形を示すタイミングチャートである。

【図13】本発明の第1実施例におけるライン交流動作時の液晶パネルの電圧印加極性を示す説明図である。

【図14】本発明の第2実施例に係る液晶表示装置の構成を示すブロック図である。

【図15】本発明の第2実施例に係る信号駆動回路の構成を示すブロック図である。

【図16】本発明の第2実施例に係る液晶パネルの等価回路を示す説明図である。

【図17】本発明の第2実施例におけるフレーム交流動作時の液晶パネルの電圧印加極性を示す説明図である。

【図18】本発明の第3実施例に係る液晶表示装置の構成を示すブロック図である。

【図19】本発明の第3実施例に係る信号駆動回路の構成を示すブロック図である。

【図 2 0】本発明の第 3 実施例に係る本発明の交流回路の構成を示すブロック図である。

【図 2 1】本発明の第 4 実施例に係る液晶表示装置の構成を示すブロック図である。

【図 2 2】本発明の第 4 実施例に係る信号駆動回路の構成を示すブロック図である。

【図 2 3】本発明の第 1 実施例に係る液晶表示装置の電圧供給経路を示した説明図である

【図 2 4】本発明の実施例に係る液晶表示装置を適用した情報処理装置の構成を示すブロック図である。

【図 2 5】本発明の実施例に係るアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図 2 6】本発明の実施例に係る液晶表示部の 1 画素とその周辺を示す断面図である。

【図 2 7】本発明の実施例に係る液晶表示部の付加容量の断面図である。

【図 2 8】本発明の実施例に係る表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図 2 9】本発明の実施例に係るマトリクス周辺部を具体的に説明するための平面図である。

【図 3 0】本発明の実施例に係る上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図 3 1】本発明の実施例に係るマトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図 3 2】本発明の実施例に係る左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図 3 3】本発明の実施例に係るゲート端子 G T M とゲート配線 G L の接続部付近を示す平面と断面の図である。

【図 3 4】本発明の実施例に係るドレイン端子 D T M と映像信号線 D L との接続部付近を示す平面と断面の図である。

【図 3 5】本発明の実施例に係るアクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 3 6】本発明の実施例に係る液晶表示モジュールの分解斜視図である。

【図 3 7】本発明の実施例に係る液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図 3 8】本発明の実施例に係る駆動回路を構成する集積回路チップ C H I がフレキシブル配線基板上に搭載されたテープキャリアパッケージ T C P の断面構造を示す図である。

【図 3 9】本発明の実施例に係るテープキャリアパッケ

ージ T C P を液晶表示パネル P N L の映像信号回路用端子 D T M に接続した状態を示す要部断面図である。

【図 4 0】第 1 の従来技術に係る液晶表示装置の構成を示すブロック図である。

【図 4 1】第 1 の従来技術に係る信号駆動回路の構成を示すブロック図である。

【図 4 2】第 1 の従来技術に係る液晶表示装置における駆動波形を示すタイミングチャートである。

【図 4 3】第 1 の従来技術に係る液晶の電圧輝度特性を示した図である。

【図 4 4】第 2 の従来技術に係る液晶表示装置の構成を示すブロック図である。

【図 4 5】第 2 の従来技術に係る信号駆動回路の構成を示すブロック図である。

【図 4 6】第 2 の従来技術に係る液晶表示装置における駆動波形を示すタイミングチャートである。

【図 4 7】第 2 の従来技術に係る液晶表示装置における電圧印加極性を示す説明図である。

【図 4 8】第 2 の従来技術に係る液晶の電圧輝度特性を示した図である。

【符号の説明】

1 0 1 : システムバス

1 0 2 : 液晶コントローラ

1 0 3 ~ 1 0 5 : 基準電圧線

1 0 6 、 1 0 7 : 信号駆動回路用制御バス

1 0 8 : 走査駆動回路用制御バス

1 0 9 : 液晶交流化信号

1 1 0 、 1 1 1 : レベルシフト

1 1 2 、 1 1 3 : 信号駆動回路用制御バス

1 1 4 、 1 1 5 : 信号駆動回路

1 1 8 : 走査駆動回路

1 1 9 : 走査線

1 2 0 : 液晶パネル

1 2 1 : 直流基準電圧生成回路

1 2 2 : 走査駆動回路用直流電圧線

1 2 3 : 対向電極線

1 2 6 : 交流回路

4 0 1 : ドレインドライバ

4 0 3 : シフトレジスタ

4 0 5 : ラッチ回路

4 0 7 : ラッチ回路

4 0 9 : デジタルアナログ変換回路

5 0 1 : 画素部

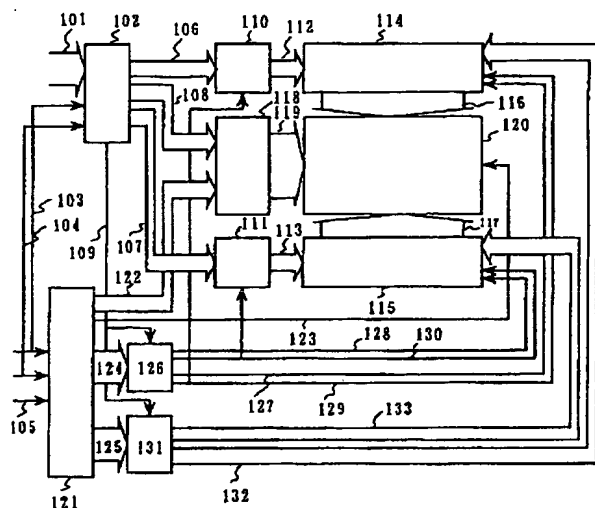
5 0 2 : Thin Film Transister

5 0 3 : 液晶

5 0 4 : 付加容量

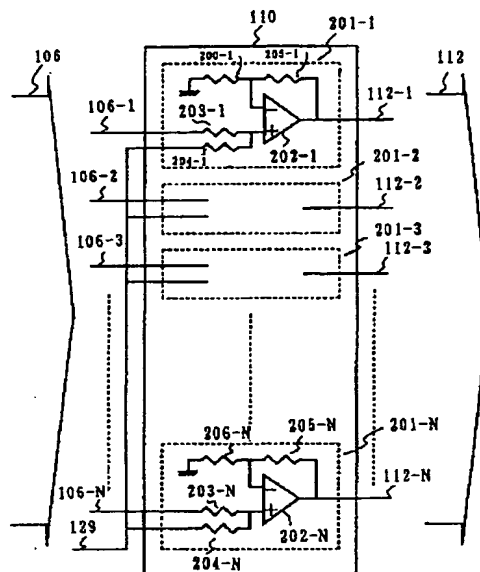
【图 1】

本発明の液晶表示装置のシステム構成図（図１）



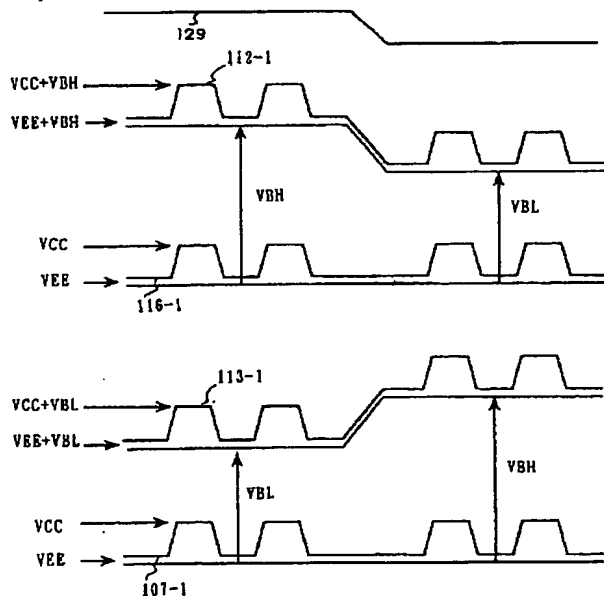
【图2】

レベルシフタの構成図（図２）



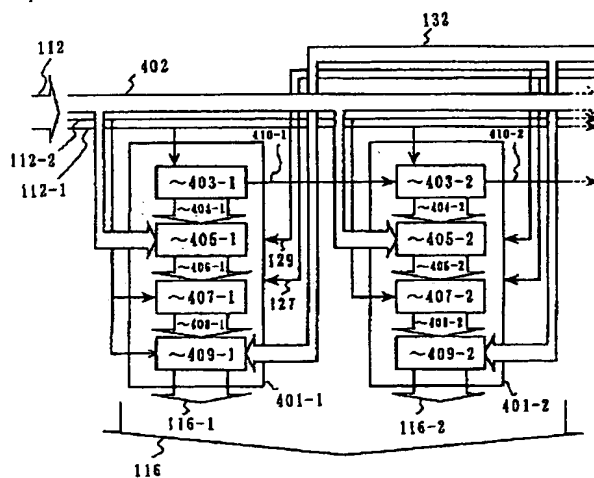
【図 3】

レベルシフタの動作タイミングチャート（図3）



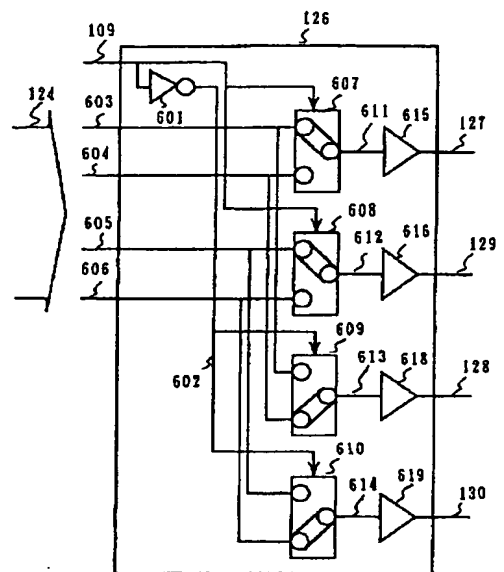
【図 4】

信号駆動回路のブロック図（図４）



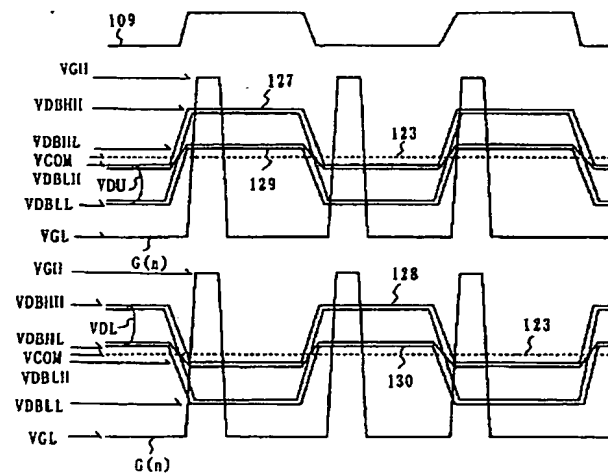
【図 6】

交流回路のブロック図 (図 6)



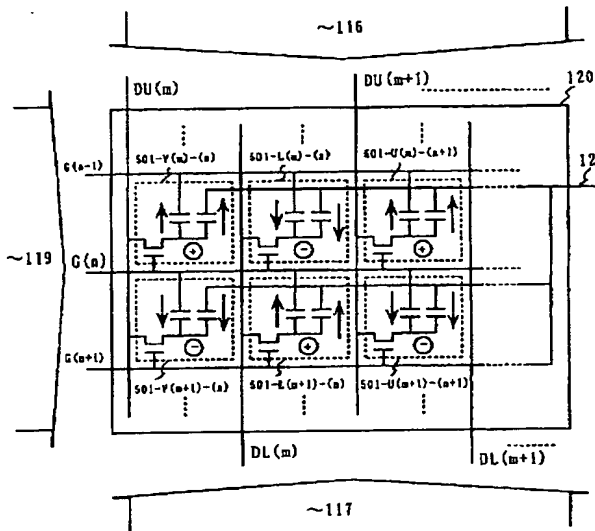
【图8】

本発明の液晶表示装置の駆動波形（フレーム交流）（図 8）



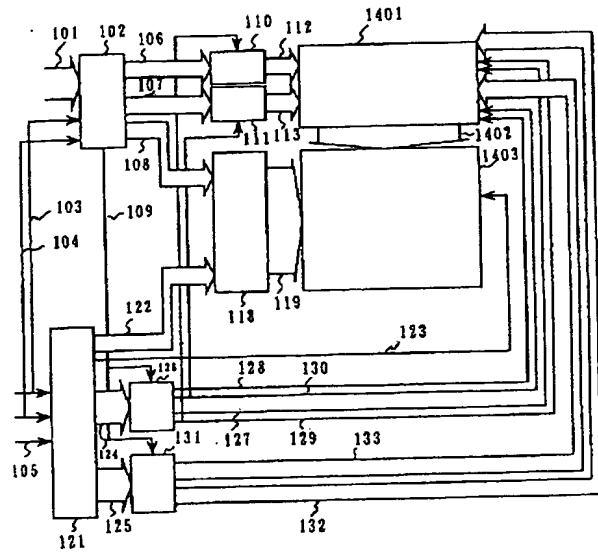
【図 13】

液晶パネル等価回路 (図 13)



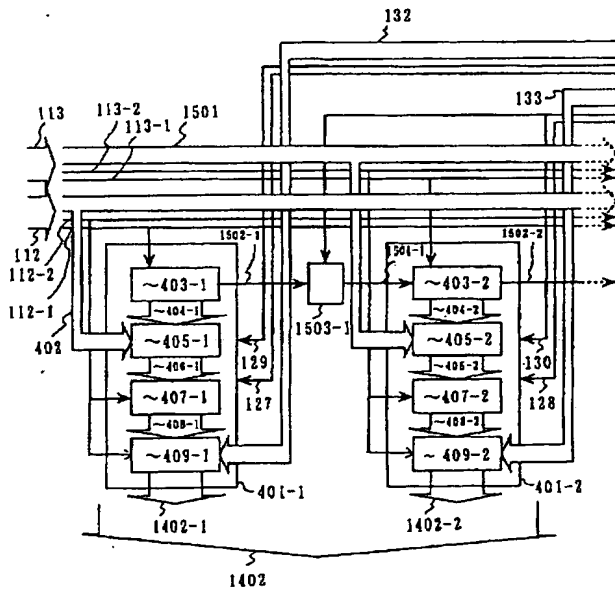
【図 14】

本発明の液晶表示装置のシステム構成図 (図 14)



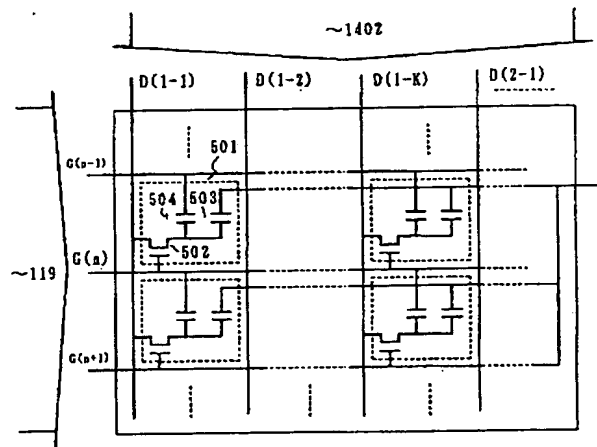
【図 15】

信号駆動回路のブロック図 (図 15)

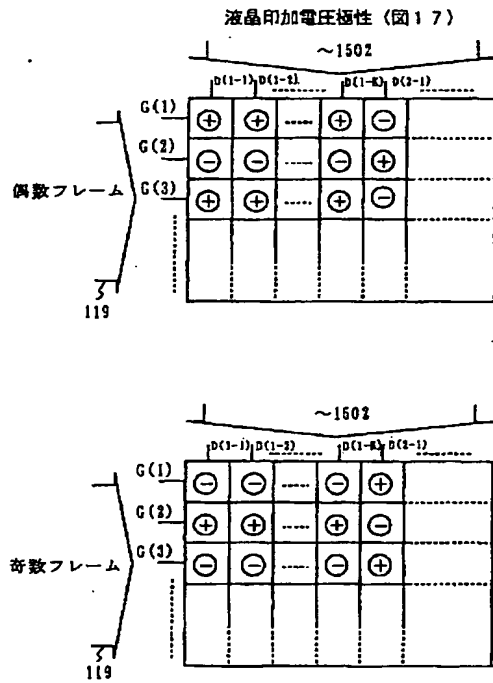


【図 16】

液晶パネル等価回路 (図 16)

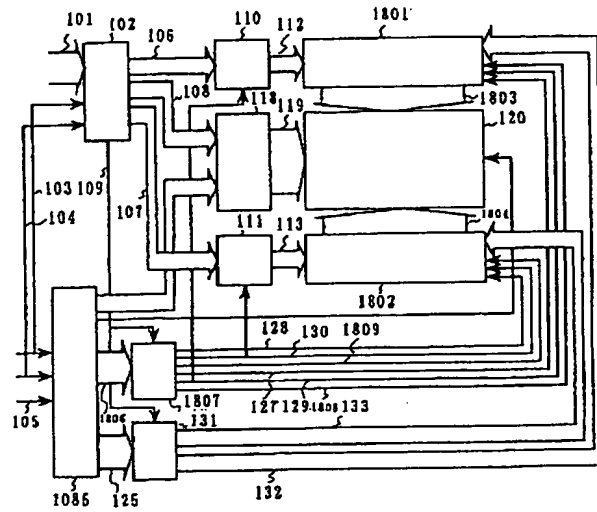


【図 17】



【図 18】

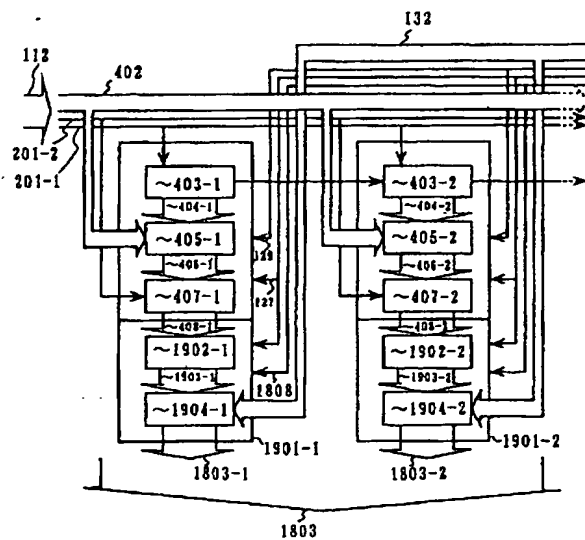
本発明の液晶表示装置のシステム構成図 (図 18)



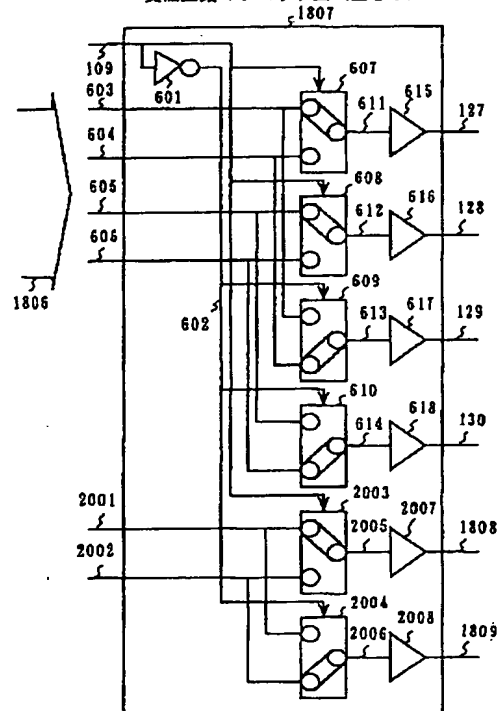
【図 20】

【図 19】

信号駆動回路のブロック図 (図 19)

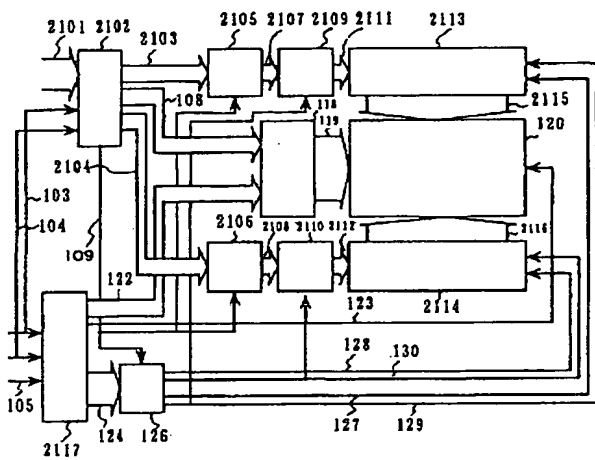


交流回路のブロック図 (図 20)



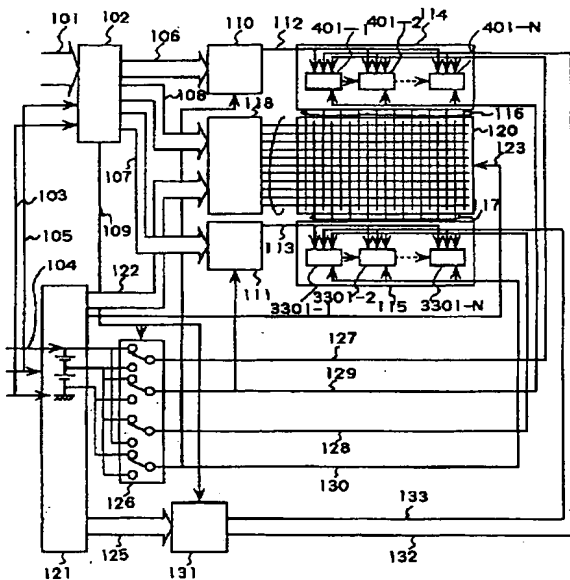
【図 2 1】

本発明の液晶表示装置のシステム構成図（図２１）



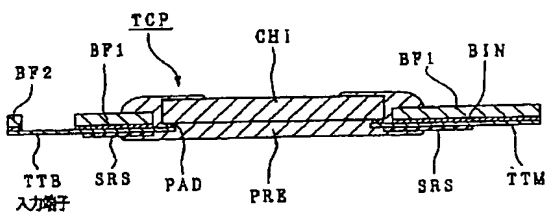
【图 2 3】

本発明の液晶表示装置のシステム構成図（図 23）



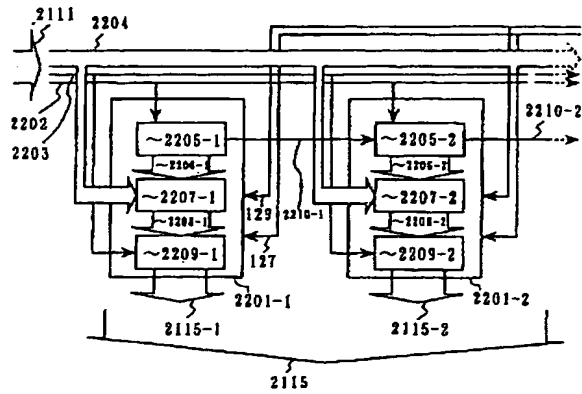
【図 38】

38



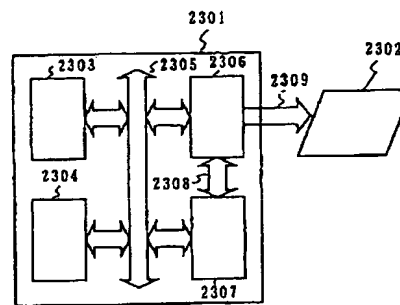
【图 22】

信号駆動回路のブロック図 (図 2 2)



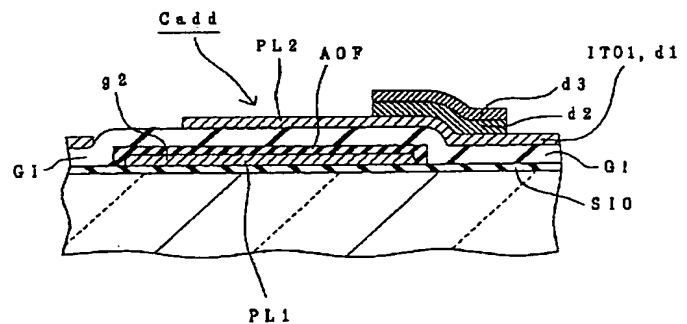
【图 2 4】

本発明の液晶表示装置を使用した情報処理装置（図 24）



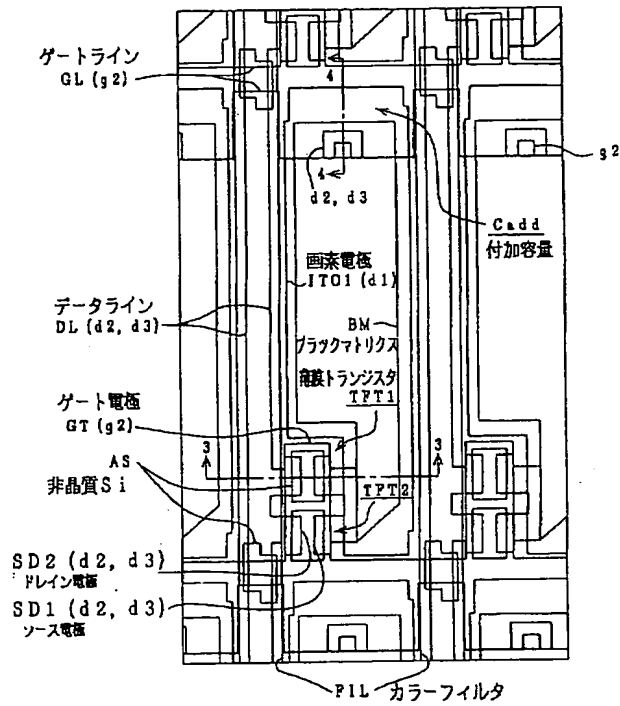
【图 27】

图 27



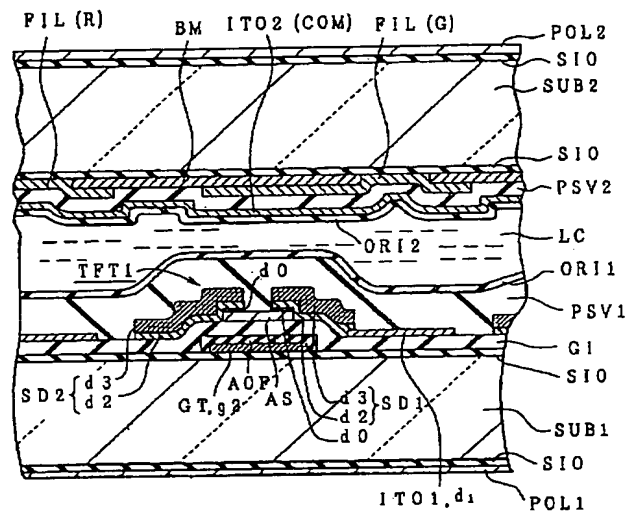
【図 25】

図 25

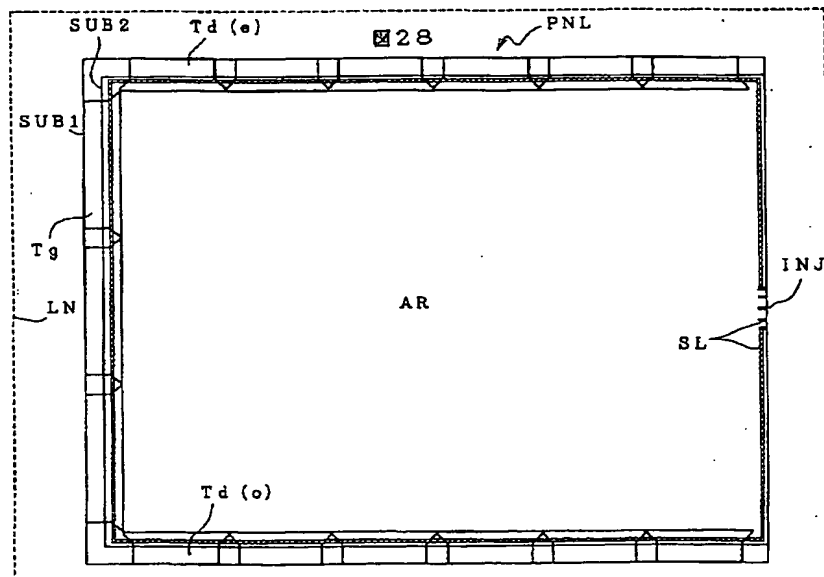


【図 26】

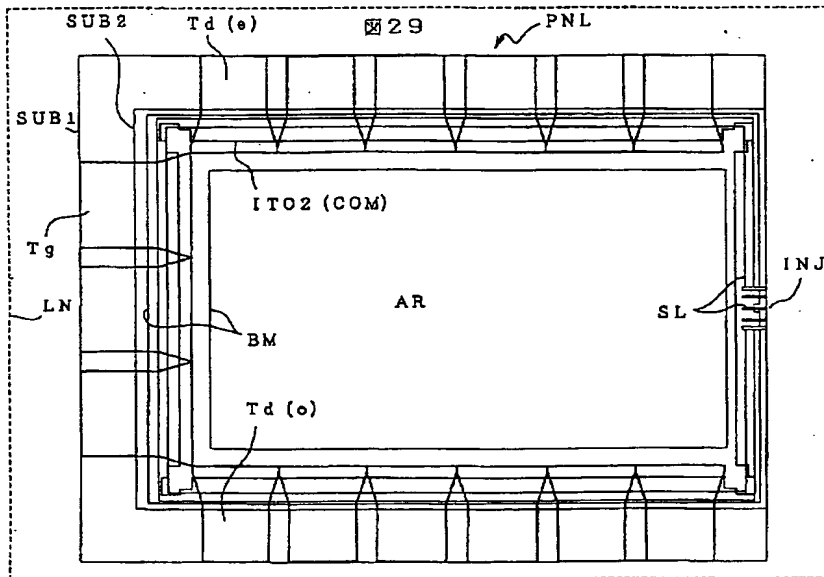
図 26



【図 28】

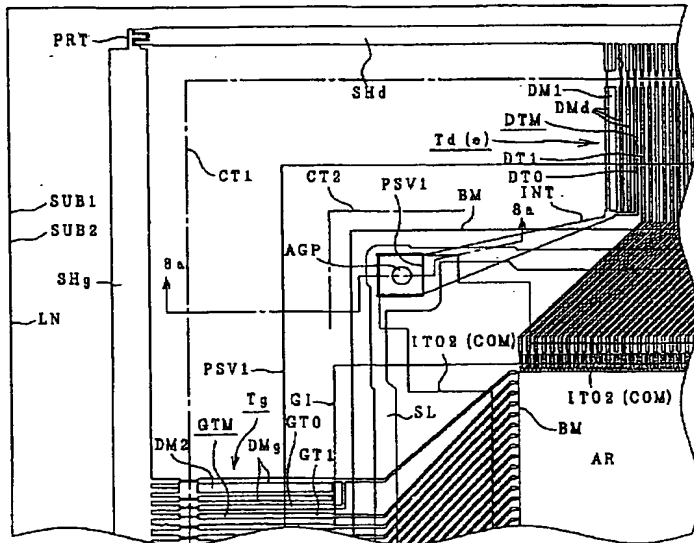


【図29】



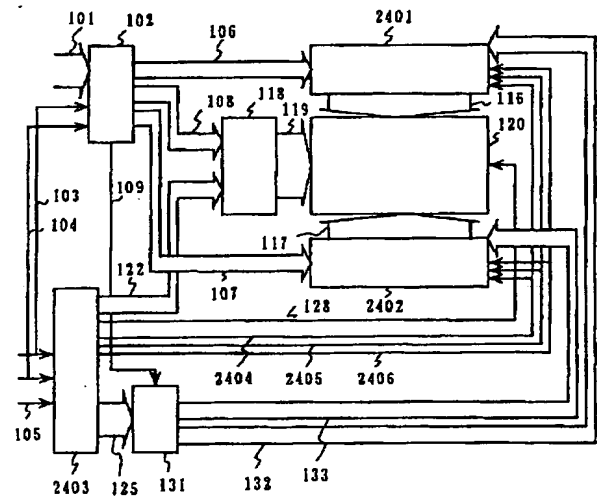
【図30】

図30



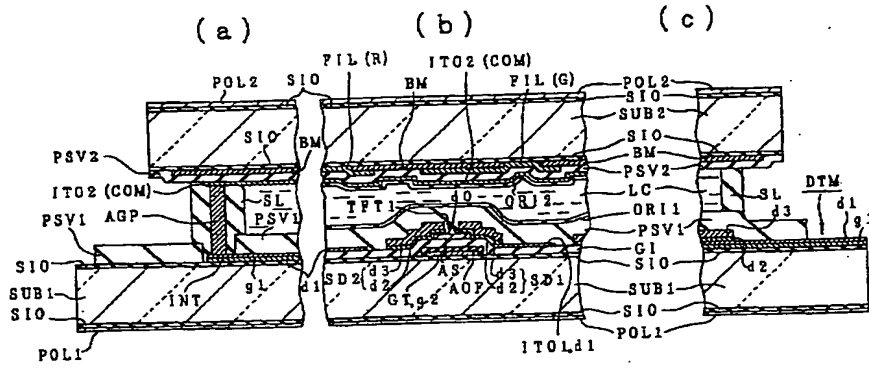
【図40】

図40



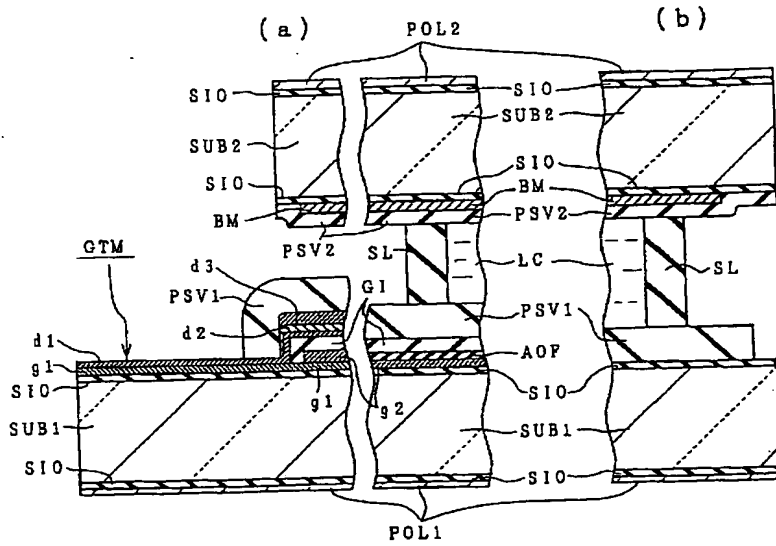
【図31】

図31



【図32】

図32



【図47】

図47

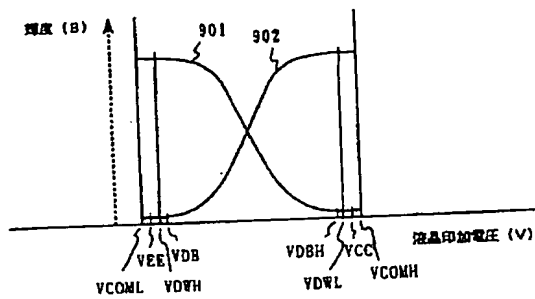


图 3-3

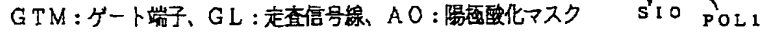
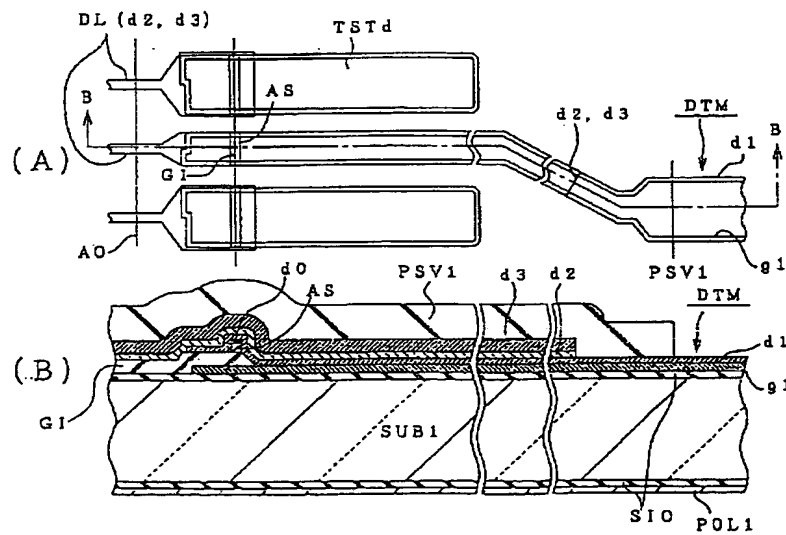


图 34



【図 3 6】

图 36

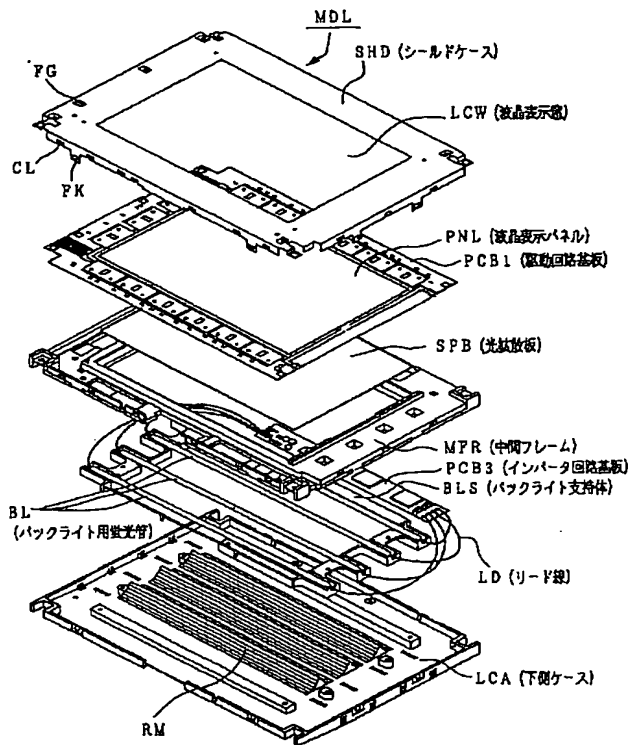


图 37

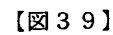
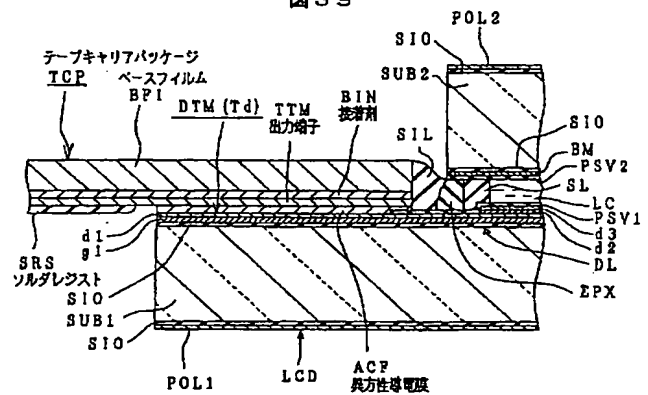
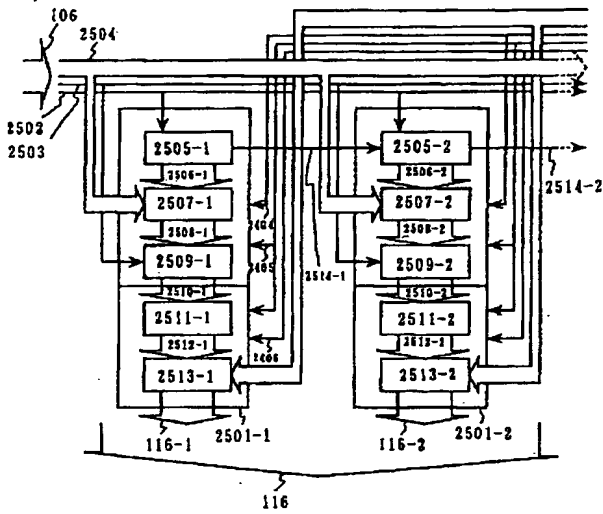


图 39



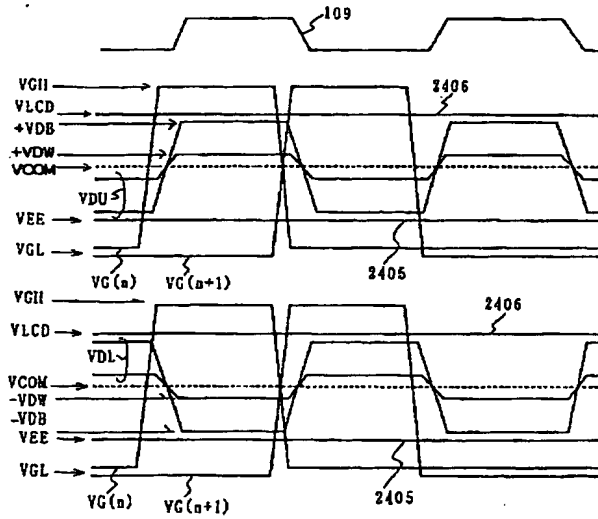
【図41】

図41



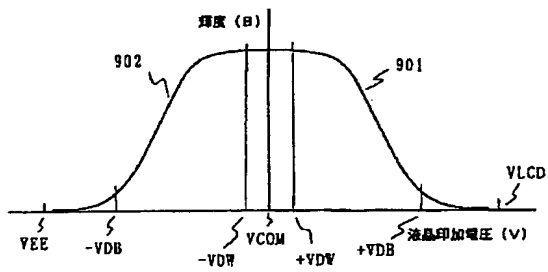
【図42】

図42



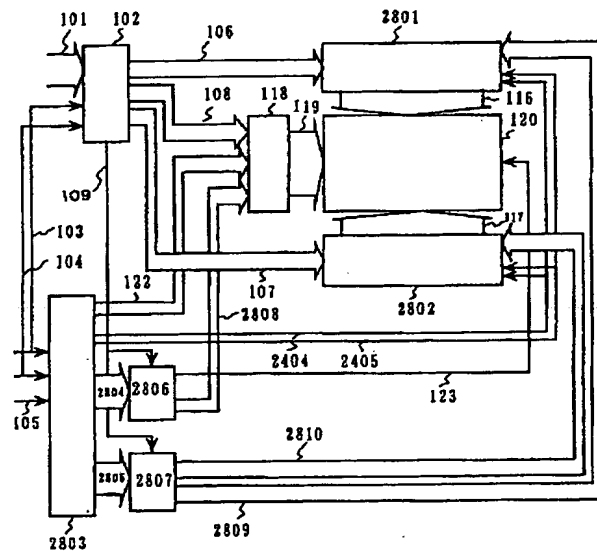
【図43】

図43



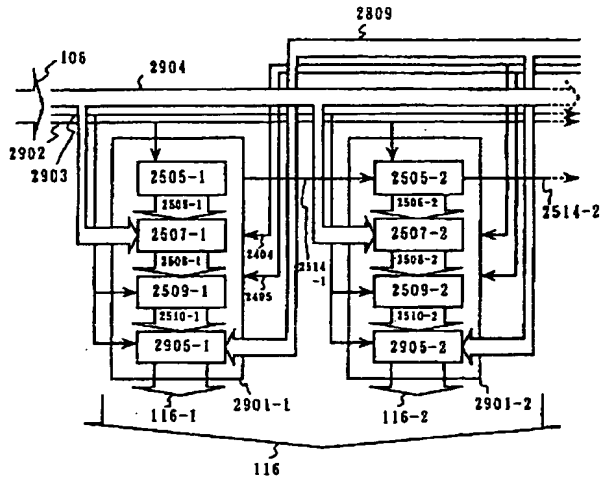
【図44】

図44



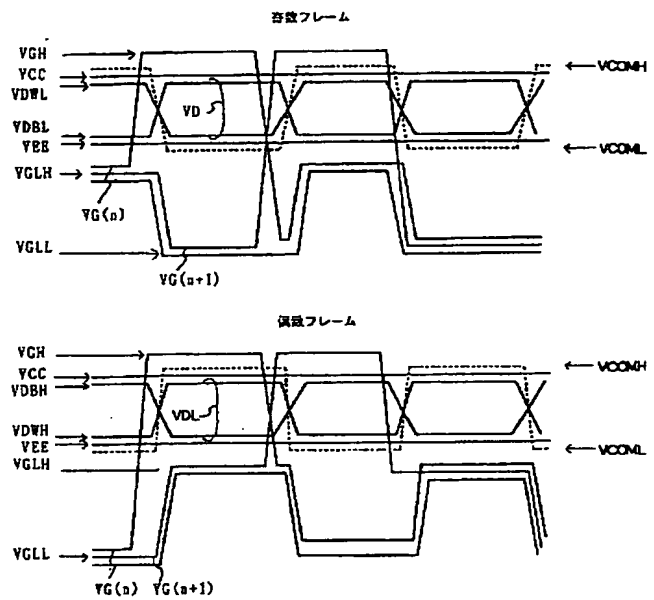
【図45】

図45



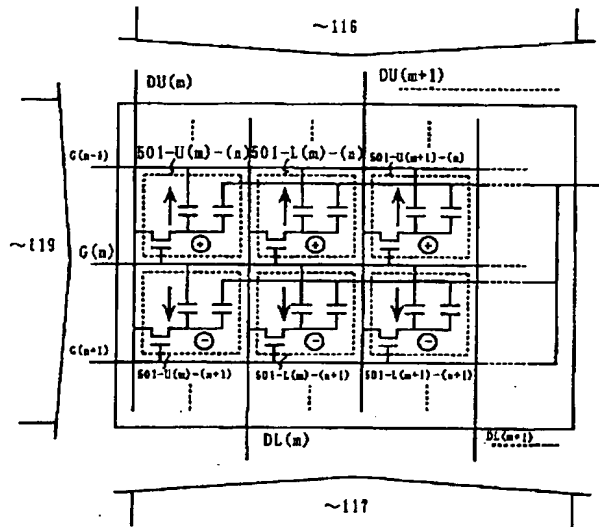
【図46】

図46



【図48】

図48



フロントページの続き

(72)発明者 池田 牧子
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(72)発明者 笠井 成彦
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 二見 利男
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 鈴木 哲也
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.